

USBN9603/USBN9604 Universal Serial Bus Full Speed Node Controller with Enhanced DMA Support

概要

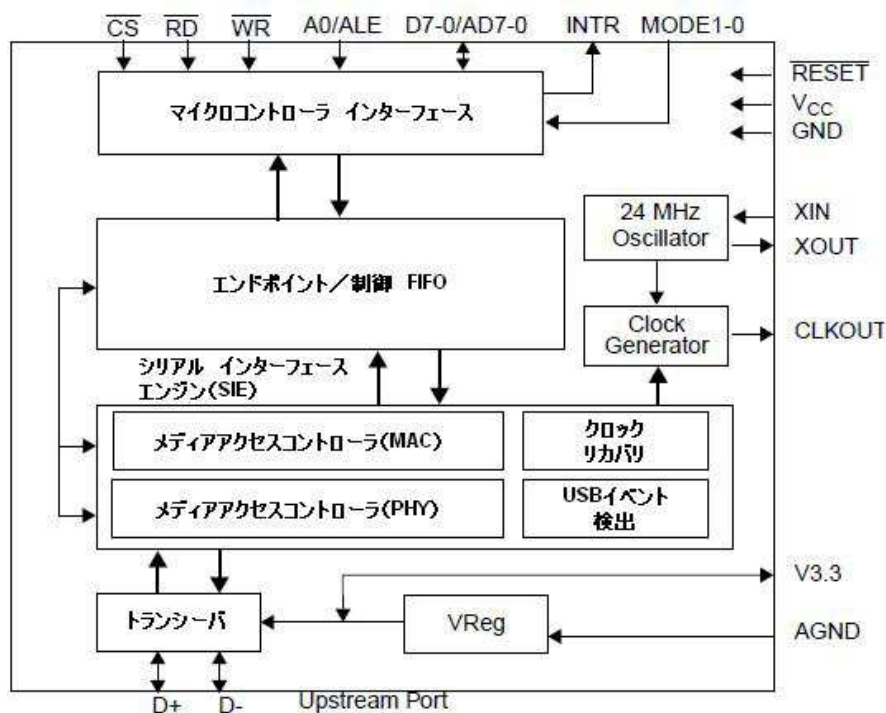
USB 9603/4にはUSB ノードコントローラが集積されている。クロック発生回路のためのリセット機構以外は、これらの2つのデバイスは同じである。他の注意書きが無い限り、この文書の“デバイス”に関する全ての引用は両デバイスに当てはまる。

エンハンスド DMA を備えるこのデバイスは多くの自動データ処理性能をサポートする。それはUSB仕様バージョン1.0、1.1と互換であり、USBN9602の新型バージョンである。

デバイスは3.3Vレギュレータ付きの必須のUSBトランシーバ、シリアルインターフェースエンジン (SIE)、USBエンドポイント (EP) FIFO、多用途な8ビットパラレルインターフェース、クロック発生器、MICROWIRE/PLUS™インターフェースを集積している。7つのエンドポイントパイプがサポートされている。マニピュレート (制限) 制御エンドポイント用に1つ、割り込みとバルクとアイソクロナス (等時性) エンドポイントをサポートするために6つ。各エンドポイントパイプは制御エンドポイントのための8バイトと他のエンドポイントのための64バイトの割り当てられたFIFOを持つ。8ビットパラレルインターフェースは多重化または非多重化CPUアドレス/データバスをサポートする。プログラム可能な割込出力設計が、様々な割込信号方式の要求に対するデバイスコンフィギュレーションを可能にする。

重要な特徴

- 低 EMI、低スタンバイ電流、24MHz 発振器
- 新型 DMA 機能
- バス給電動作のための非同期起動を備えた完全スタティックホールドモード
- 5V または 3V 動作
- 改良された入力範囲 3.3V 信号電圧レギュレータ
- すべての単方向 FIFO は 64 バイトある
- 電源立ち上げ時のリセットと立ち上がり時の遅延カウンタがシステム設計を簡単にする。
- 外部コントローラによって制御される簡単なプログラミングモデル
- 2つのパッケージを使用できる
- USBN9603/4SLB: 新たな設計のための小さな専有部分とポータブルなアプリケーション
- USBN9603/28M: 標準パッケージ、USBN9602-28M と端子互換



特 徴

- ・フルスピード USB ノードデバイス
- ・集積された USB トランシーバ
- ・内蔵 48MHz クロック発生回路を持つ 24MHz 発振器回路をサポート
- ・プログラム可能なクロック発生器
- ・物理レイヤーインターフェース (PHY)、メディアアクセスコントローラ (MAC)、USB 仕様 1.0 と 1.1 準拠で構成するシリアルインターフェースエンジン (SIE)
- ・コントロール/ステータスレジスタファイル
- ・7つの FIFO を基本としたエンドポイントを持つ USB 機能コントローラ
 - 1つの双方向制御エンドポイント (8 バイト)
 - 3つの送信エンドポイント (各 64 バイト)
 - 3つの受信エンドポイント (各 64 バイト)
- ・2つの選択可能なモード付き 8 ビットパラレルインターフェース
 - 非多重化バス
 - 多重化バス (インテル互換)
- ・エンハンスド DMA サポート
 - ラージバルクまたは ISO パケットの CPU 独立転送のための自動 DMA (ADMA) モード
 - ADMA ロジックと共に DMA コントローラが USB 経由 64 バイトパケットでデータのラージブロックを転送できる
 - 自動データ PID トグリング/チェックと NAK パケットリカバリ (最大 256 × 64 バイトデータ = 16K バイト)
- ・MICROWIRE/PLUS インターフェース

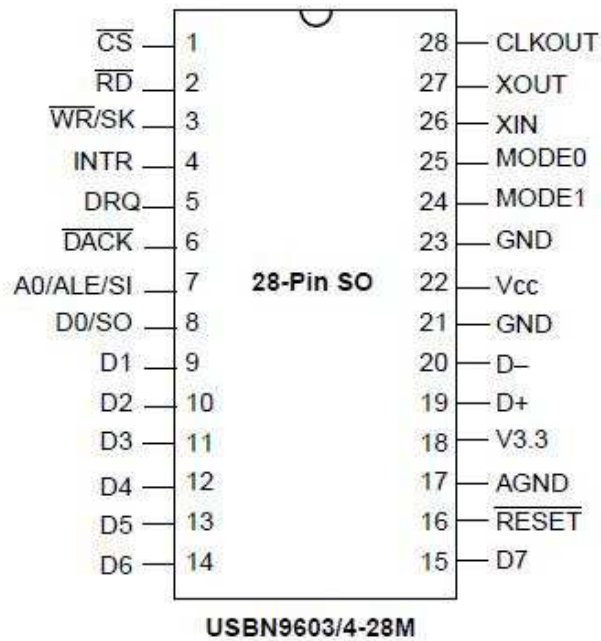
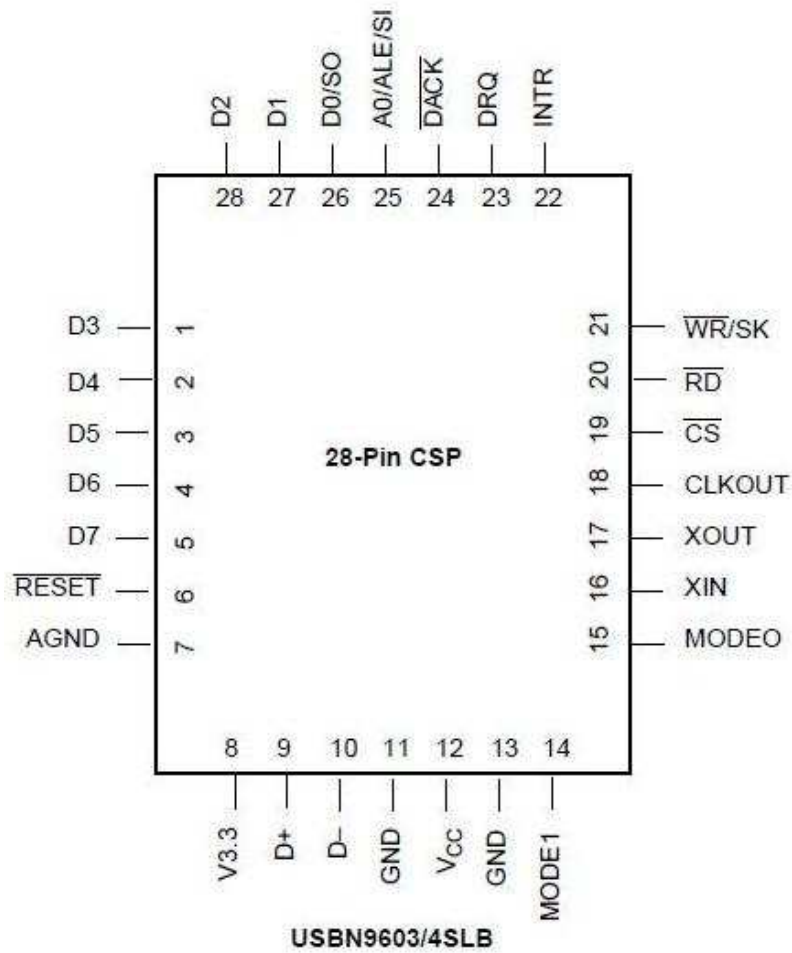
1. 0	信号／端子接続と解説	6
1. 1	接続図	6
1. 2	信号／端子解説の詳細.....	7
1. 2. 1	電源供給	7
1. 2. 2	発振子、クロック及びリセット	7
1. 2. 3	USBポート.....	8
1. 2. 4	マイクロプロセッサ インターフェース.....	8
2. 0	機能概略	10
2. 1	トランシーバ	10
2. 2	電圧レギュレータ (VREG)	10
2. 3	シリアルインターフェースエンジン (SIE)	10
2. 4	エンドポイント パイプ コントローラ (EPC)	12
2. 5	マイクロコントローラ インターフェース	12
3. 0	パラレル インターフェース	13
3. 1	非多重化モード.....	13
3. 1. 1	標準アクセスモード.....	14
3. 1. 2	バーストモード.....	14
3. 1. 3	ユーザーレジスタ.....	14
3. 2	多重化モード	15
4. 0	ダイレクトメモリアクセス (DMA) サポート	16
4. 1	標準DMAモード.....	16
4. 2	自動DMAモード.....	17
5. 0	MICROWIRE／PLUS インターフェース	19
5. 1	オペレーティング コマンド	19
5. 2	読み込みと書き込みタイミング	20
6. 0	機能の説明	22
6. 1	機能の状態.....	22
6. 1. 1	ライン状況の検出.....	22
6. 1. 2	機能の状態遷移.....	22
6. 2	エンドポイントオペレーション	24
6. 2. 1	アドレス検出.....	24
6. 2. 2	エンドポイントFIFOの送信と受信.....	24
6. 2. 3	プログラミング モデル.....	28
6. 3	電力節約モード.....	28
6. 4	クロック発生.....	29
7. 0	レジスタ セット	30
7. 1	制御レジスタ	30
7. 1. 1	主制御レジスタ (MCNTRL)	30
7. 1. 2	クロック コンフィグレーション レジスタ (CCONF)	31

7. 1. 3	レビジョン識別子 (RID)	31
7. 1. 4	ノードファンクショナル状態レジスタ (NFSR)	32
7. 1. 5	主イベントレジスタ (MAEV)	32
7. 1. 6	メインマスクレジスタ (MMASK)	33
7. 1. 7	オルタネート イベント レジスタ	33
7. 1. 8	オールタネート マスク レジスタ (ALTMSK)	34
7. 1. 9	送信イベントレジスタ (TXEV)	34
7. 1. 10	送信マスクレジスタ (TXMSK)	35
7. 1. 11	受信イベントレジスタ (RXEV)	35
7. 1. 12	受信マスクレジスタ (RXMSK)	35
7. 1. 13	NAKイベントレジスタ (NAKEV)	36
7. 1. 14	NAKマスクレジスタ (NAKMSK)	36
7. 2	送信レジスタ	36
7. 2. 1	FIFO警戒イベントレジスタ (FWEV)	36
7. 2. 2	FIFO警戒マスクレジスタ (FWMSK)	37
7. 2. 3	フレーム番号上位バイトレジスタ (FNH)	37
7. 2. 4	フレーム番号下位バイトレジスタ (FNL)	37
7. 2. 5	ファンクションアドレスレジスタ (FAR)	38
7. 2. 6	DMA制御レジスタ (DMACNTRL)	38
7. 2. 7	DMAイベントレジスタ (DMAEV)	39
7. 2. 8	DMAマスクレジスタ (DMAMSK)	40
7. 2. 9	ミラーレジスタ (MIR)	41
7. 2. 10	DMAカウントレジスタ (DMACNT)	41
7. 2. 11	DMAエラーレジスタ (DMAERR)	41
7. 2. 12	起動レジスタ (WKUP)	42
7. 2. 13	エンドポイント制御0レジスタ (EPC0)	43
7. 2. 14	送信状態0レジスタ (TXS0)	43
7. 2. 15	送信コマンド0レジスタ (TXC0)	44
7. 2. 16	送信データ0レジスタ (TXD0)	44
7. 2. 17	受信ステータス0レジスタ (RXS0)	44
7. 2. 18	受信コマンド0レジスタ (RXC0)	45
7. 2. 19	受信データ0レジスタ (RXD0)	45
7. 2. 20	エンドポイント制御Xレジスタ (EPC1からEPC6)	46
7. 2. 21	送信状態Xレジスタ (TXS1、TXS2、TXS3)	46
7. 2. 22	送信コマンドXレジスタ (TXC1、TXC2、TXC3)	47
7. 2. 23	送信データXレジスタ (TXD1、TXD2、TXD3)	48
7. 2. 24	受信状態Xレジスタ (RXD1、RXD2、RXD3)	48
7. 2. 25	受信コマンドXレジスタ (RXC1、RXC2、RXC3)	49
7. 2. 26	受信データXレジスタ (RXD1、RXD2、RXD3)	50
7. 3	レジスタマップ	50
8. 0	デバイス特性	52
8. 1	絶対最大規格	52
8. 2	DC電気的特性	52
8. 3	AC電気的特性	53
8. 5	パラレルインターフェースタイミング (MODE 1-0=01 _B)	55
8. 6	DMAサポートタイミング	57

8. 7	MICROWIREインターフェース タイミング (MODE 1-0=10 _B)	58
8. 8	リセット タイミング	58

1. 0 信号／端子接続と解説

1. 1 接続図



1. 2 信号／端子解説の詳細

1. 2. 1 電源供給

I/O	名称	説明
NA	VCC	デジタル電源(VCC)。入力電圧がGNDと同じレベルになると、パワーオンリセットが検出され、その後、必要なVCCレベルを立ち上げる。パワーオンリセットは全レジスタをそれらのリセット値にセットし、クロック発生器がリセットされ、 $2^{\text{exp}14}$ XINクロックサイクルのCLKOUT出力を止める原因となる。この時間の間、アクセス可能な内部レジスタはない。
NA	GND	デジタル電源(GND)
NA	AGND	アナログ電源(AGND)
NA	V3.3	トランシーバ3.3V電源。この端子は内蔵3.3V電圧レギュレータ出力として使用できる。レギュレータは内蔵トランシーバと外部プルアップにのみ電源を供給しようとする。外付け1 μ Fデカップリングコンデンサがこの端子に必要。電圧レギュレータ出力はリセットできない。内蔵電圧レギュレータが無効のままにされると、この端子は内蔵トランシーバのための3.3V電源入力として使用されねばならない。これは3.3V動作時の場合である。

1. 2. 2 発振子、クロック及びリセット

I/O	名称	説明
NA	XIN	クリスタル発振子入力。内蔵24MHzクリスタル発振子回路のための入力。24MHz基本クリスタルが使用される。
NA	XOUT	クリスタル発振子出力
O	CLKOUT	クロック出力。このプログラム可能なクロック出力は無効にでき、クロックコンフィグレーションレジスタ経由でさまざまな速度に構成できる。パワーオンリセットの後(*RESETを活性)、4MHzクロック信号が出力される。(初期フェーズが中断される可能性あり) USBN9604では、内蔵DLLが外部基準クロックに同期されている間、ハードウェアリセットがCLKOUTを $2^{\text{exp}14}$ XINクロックサイクルで停止する原因となる。
I	RESET	リセット。アクティブロー、*RESETの活性はハードウェアリセットを意味する。その結果、デバイス内の全レジスタをそれらのリセット値に復帰する。 USBN9604では、ハードウェアリセット動作はパワーオンリセットと同じである。信号条件としては、単純なRCパワーオンリセット回路を使用可能なこの入力を備える。

発振子回路

XIN、XOUT端子は24MHz閉ループを作るためにクリスタル制御発振子を接続してよい。外部24MHzクロック源はデバイスのための入力クロックとして交互に使用可能である。内蔵クリスタル発振器は24MHz基本クリスタルを使用する。標準的な部品の値についてはテーブル1を、クリスタル回路については図1を見よ。特定のクリスタルについては、推奨される部品の値を扱う業者に相談すること。

もし外部クロック源が使用されると、それはXINに接続される。XOUTは未接続のままにすること。ストレーキャパシタンスとインダクタンスは発振器回路では可能な限り低く保つべきである。トレース長は、XINとXOFF端子に可能な限り近くにクリスタルや外部部品を配置することにより最小化されるはずだ。

テーブル1. 概算の部品の値

部品	変数	値	許容差
クリスタル共振回路	共振周波数	24 MHz	2500 ppm (max)
	タイプ	AT-Cut	
	最大シリアル抵抗	50 Ω	
	最大シャントコンデンサ	10 pF	
	負荷コンデンサ	20 pF	
抵抗 R1		1 M Ω	$\pm 5\%$

テーブル1. 概算の部品の値 (続き)

部 品	変 数	値	許容差
抵抗 R2		0	NA
コンデンサ C1		15 pF	±20%
コンデンサ C2		15 pF	±20%

外付け部品

クリスタルの負荷キャパシタンスに合わせるためにコンデンサC1とC2 (図1を見よ) を選択すること。クリスタルによって”あわせる”負荷キャパシタンスCLはC2と直列にC1を、さらに回路の寄生キャパシタンスと並列に入れることで構成される。寄生キャパシタンスはチップパッケージ、基板のレイアウト、ソケット (もしあるなら) に起因し、さらに0から8 pFに変化する。これらのコンデンサの選択における経験則は、

$$C_L = (C1 \cdot C2) / (C1 + C2) + C \text{ 寄生キャパシタンス}$$

である。

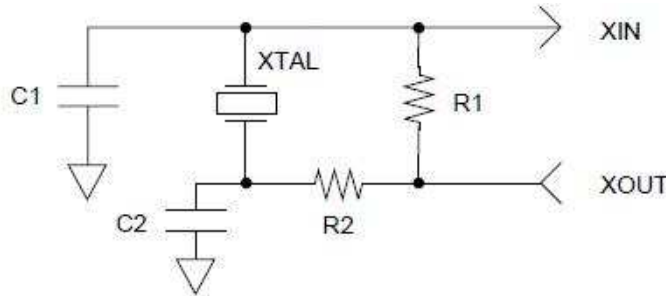


図1. 標準的な発振回路

1. 2. 3 USBポート

I/O	Name	Description
I/O	D+	USB D+アップストリームポート。この端子はフルスピード動作で信号を送るために3.3Vへの外付け1.5kΩプルアップ抵抗を必要とする。
I/O	D-	USB D-アップストリームポート

1. 2. 4 マイクロプロセッサ インターフェース

I/O	名 称	説 明
I	MODE1-0	インターフェースモード。これらの各端子はインターフェースモードを選択するためVccまたはGNDへ配線すべきである。 MODE1-0 = 00. モード0: 非多重化パラレルインターフェースモード MODE1-0 = 01. モード1: 多重化パラレルインターフェースモード MODE1-0 = 10. モード2: MICROWIREインターフェースモード MODE1-0 = 11. モード3: 予約済 注)モード3もまたUSB N9602ではMICROWIREインターフェースモードを選択する。しかし、このモードは将来のデバイスとの互換性を保つために取っておくべきである。
I	DACK	DMAアクリッジ。もしDMAが有効なとき、このアクティブローの信号のみが使用される。もしDMAが使用されないとき、この端子はVccへ接続すること。
O	DRQ	DMA要求。もしDMAが有効なときのみ、この端子はDMA要求のために使われる。
O	INTR	割込み。割込み信号モードは(アクティブハイ、アクティブローまたはオープンドレイン)メインコントロールレジスタ経由で構成可能である。リセット中、この信号はトライステートである。
I	CS	チップセレクト。アクティブローのチップセレクト
I	RD	リード(読み込み)。アクティブローのリードストローブ。パラレルインターフェース

I	\overline{WR}	ライト、アクティブロー、ライトストップ、パラレルインターフェース
	SK	MICROWIREシフトクロック、モード2
I	A0	A0アドレスバスライン、モード0、パラレルインターフェース
	ALE	アドレスラッチイネーブル、モード1、パラレルインターフェース
	SI	MICROWIREシリアル入力、モード2
I/O	D0	データバスラインD0、モード0
	AD0	アドレス/データバスラインAD0、モード1
	SO	MICROWIREシリアル出力、モード2
I/O	D1	データバスラインD1、モード0
	AD1	アドレス/データバスラインAD1、モード1
I/O	D2	データバスラインD2、モード0
	AD2	アドレス/データバスラインAD2、モード1
I/O	D3	データバスラインD3、モード0
	AD3	アドレス/データバスラインAD3、モード1
I/O	D4	データバスラインD4、モード0
	AD4	アドレス/データバスラインAD4、モード1
I/O	D5	データバスラインD5、モード0
	AD5	アドレス/データバスラインAD5、モード1
I/O	D6	データバスラインD6、モード0
	AD6	アドレス/データバスラインAD6、モード1
I/O	D7	データバスラインD7、モード0
	AD7	アドレス/データバスラインAD7、モード1

2. 0 機能概略

このデバイスは USB 仕様 1. 0、1. 1 互換のユニバーサルシリアルバス (USB) ノードコントローラである。それは1つの IC 上に必須の 3. 3V レギュレータ付き USB トランシーバ、シリアルインターフェースエンジン (SIE)、USB エンドポイント FIFO、多用途 (8 ビットパラレルまたはシリアル) インターフェース、クロック発生器を集積している。全部で7つのエンドポイントパイプ、つまり命令制御 EPO のための1つの双方向、USB 割込み、パルク、アイソクロナスデータ転送をサポートするための単方向エンドポイント用の追加の6個、がサポートされている。8 ビットパラレルインターフェースが多重化及び非多重化方式の CPU アドレス/データバスをサポートする。同期シリアル MICROWIRE インターフェースは外部アドレス/データバス無しの CPU への適用を可能にする。プログラマブル割込み出力設計はさまざまな割込み信号方式の要求に適用可能である。

主要な機能ブロックについては次のセクションで記述される図2を参照せよ。

2. 1 トランシーバ

このデバイスは3つの主な機能ブロックから成り立つ高速トランシーバを含む。

— 差動受信器

— チップ上に基準電圧をもつシングルエンデッド受信器

— チップ上に電流源をもつ送信器

このトランシーバは USB 仕様バージョン 1. 1 の 7 章で述べられる要求性能を満たす。

信号スキューを最小にするため、送信器の差動出力振幅はうまく平衡を保持される。スルーレート制御が放射ノイズやクロストークを最小にするためドライバに使用される。ドライバはトランシーバの双方向、半二重動作を可能にするためトライステート動作をサポートする。

差動受信器は完全なコモンモード範囲を越えて動作し、シングルエンデッド受信器のそれよりも大きくなることを保証された遅延を有する。シングルエンデッドゼロの後、これはシリアルインターフェースエンジン (SIE) の潜在的なグリッチ (突発的な異常電圧) を回避する。

シングルエンデッド受信器は2本のデータ線のそれぞれに存在する。これらは、差動受信器に加えて、0. 8V と 2. 0V (TTL 入力) の間のスイッチングスレシヨルドを持つ絶対電圧を検出するため必要とされる。グリッチング (突発的な異常電圧) 無しで、Vcc ノイズ除去を強化するため、基準電圧がシングルエンデッドスイッチング基準を設定する。これが高速ノードであることを示すために、外付け 1. 5 ± 5% KΩ 抵抗が D+ に要求される。この抵抗は 3. 0V と 3. 6V の間の電圧源に接続されるべきであり、V3. 3 端子に準備された出力のように、ローカルグランドとの基準とされるべきである。

2. 2 電圧レギュレータ (VREG)

電圧レギュレータは 5. 0V デバイス電源または USB バス電源から集積されたトランシーバに 3. 3V を供給する。この出力は 1. 5 KΩ プルアップ抵抗へ電源を供給するために使用される。この出力はグランドへ 1 μF タンタルコンデンサでデカップルされなければならない。それは 3. 3V システムでデバイスの使用を可能にするためにソフトウェア制御下に置く事はできない。

2. 3 シリアルインターフェースエンジン (SIE)

SIE は物理的 (PHY) モジュールとメディアアクセスコントローラ (MAC) モジュールを含む。PHY モジュールはデジタルクロックリカバリ回路、デジタルグリッチフィルタ、エンドオブパケット (EOP) 検出回路、ビットスタッフィングと非スタッフィングロジックを含む。MAC モジュールはパケットフォーマッティング、CRC 発生と検査、エンドポイントアドレス検出を含む。それは、指定されたエンドポイントパイプのためのエンドポイントパイプコントローラ (EPC) により決定されるので、NAK、ACK、STALL 応答を与えるための必要な制御を備えている。SIE はノードリセット、ノードサスペンド、ノードレジュームのような USB 独自のイベントを検出し報告するための責任がある。トランシーバへのモジュール出力信号は、USB 信号上でスキュー (歪) を最小にするためうまく整合されている (1 nS 以下)。

受信終了でクロックリカバリを有効にするため、電線上で十分な電気的変位 (transition) を保証するための方法として、USB 仕様はビットスタッフィング/非スタッフィングをあてがう。ビットスタッフィングブロックは、連続1秒のストリングにいつか出会うとも、データストリーム内の6つの1の後に0を挿入することを保証する。ビットアンスタッフィングの論理はこの過程の逆である。

クロックリカバリブロックは、48MHz 入力クロックからデータクロック (12MHz) を抽出するために、入ってくる NRZ I データを使用する。この入力クロックは PLL 回路 (クロック 2 倍) と協力して 24MHz 発振器から得られる。このクロックはデータリカバリ回路で使われる。このブロックの出力は、抽出された 12MHz を使用して適切に標準化されたバイナリデータ (NRZ I ストリームからデコードされたもの) である。ジッター (回路の微小振動) 性能とタイミング特性は USB 仕様の 7 章の 4 の要求セットを満たす。

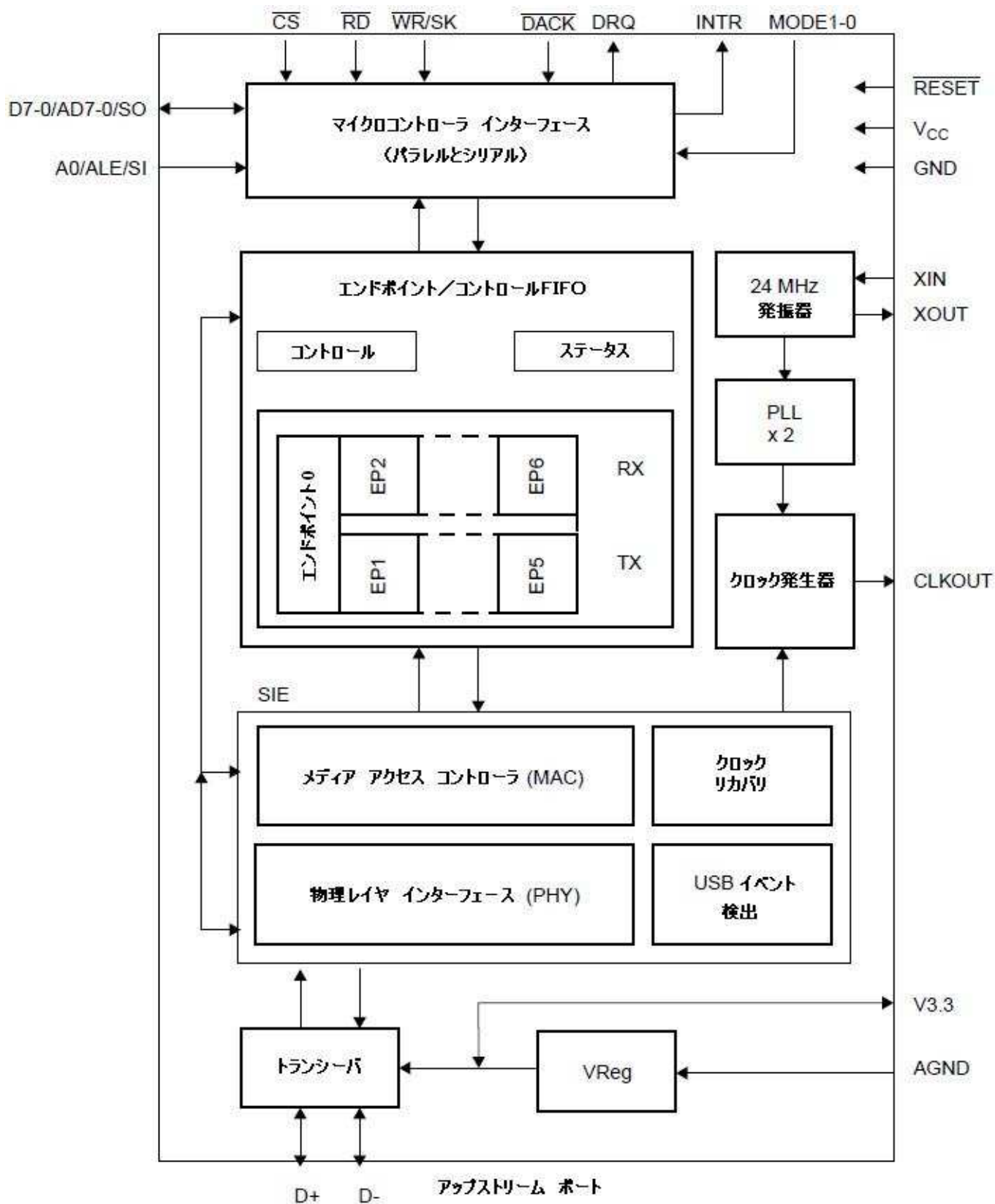


図 2. USBN9603/4 ブロック図

2.4 エンドポイント パイプ コントローラ (EPC)

EPCはUSBファンクションエンドポイントのためのインターフェースを備えている。エンドポイントは最後のソースまたはデータのシンクである。エンドポイントパイプはUSBとメモリ間のデータの移動を容易にし、USBホストとファンクションエンドポイント間のパスを完結する。USB仕様に従い、31までのそのようなエンドポイントがある一定の時間でサポートされている。USBは受信のための全部で16の一方向のエンドポイントと送信のための16のそれを認めている。コントロールエンドポイント0は常に双方向であるため、全数は31である。同じファンクションアドレスを持つ7つのエンドポイントパイプがサポートされている。EPC動作の回路概要については図3を見よ。

USB機能はバス上で情報を送受信可能なUSBデバイスである。機能はデバイスを構成するインターフェースを定義する各々に、1つかそれ以上のコンフィグレーションを持つ。各インターフェースは次々と1つかそれ以上のエンドポイントを作り上げる。

各エンドポイントはUSB上でアドレス指定可能な実体であり、USBホスト（標準的PC）からのINとOUTトークンに応答するために必要とされる。INトークンは、ホストがエンドポイントからの情報を受信要求したということを示し、OUTトークンは、ホストがエンドポイントへ情報を送ろうとしているということを示す。

エンドポイントにアドレスされたINトークンの検出時に、エンドポイントパイプはデータパケットと共に応答しなければならない。もしエンドポイントパイプが目下止まった場合、STALLハンドシェイクパケットがソフトウェア制御の下に送られる。もしエンドポイントパイプが、現存するデータがないことを有効にしたら、NAK（拒否承認）ハンドシェイクパケットが自動的に送られる。もし、エンドポイントパイプがアイソクロナスであり、且つ現存するデータがないことを有効にしたら、パケットの終点に続くビットスタッフエラーがバス上に送られる。

同様に、エンドポイントへアドレスされたOUTトークンの検出時に、エンドポイントパイプはホストによって送られたデータパケットを受信し、適したFIFOにそれをロードしなければならない。もしエンドポイントパイプが停止された場合、STALLハンドシェイクパケットが送られる。もしエンドポイントパイプが、データ記憶するためのバッファがないことを有効にしたら、NAK（拒否承認）ハンドシェイクパケットが送られる。もし、エンドポイントがアイソクロナスであり、且つデータを扱えないことを有効にしたら、送られるハンドシェイクパケットは無い。

無効にされたエンドポイントはIN、OUT、SETUPトークンに応答しない。

EPCは各エンドポイントパイプに対し、個々の状態と制御情報を保持する。

INトークンの場合、EPCは結合したFIFOからホストへデータを転送する。OUTトークンの場合、EPCは逆方向へデータを転送する。

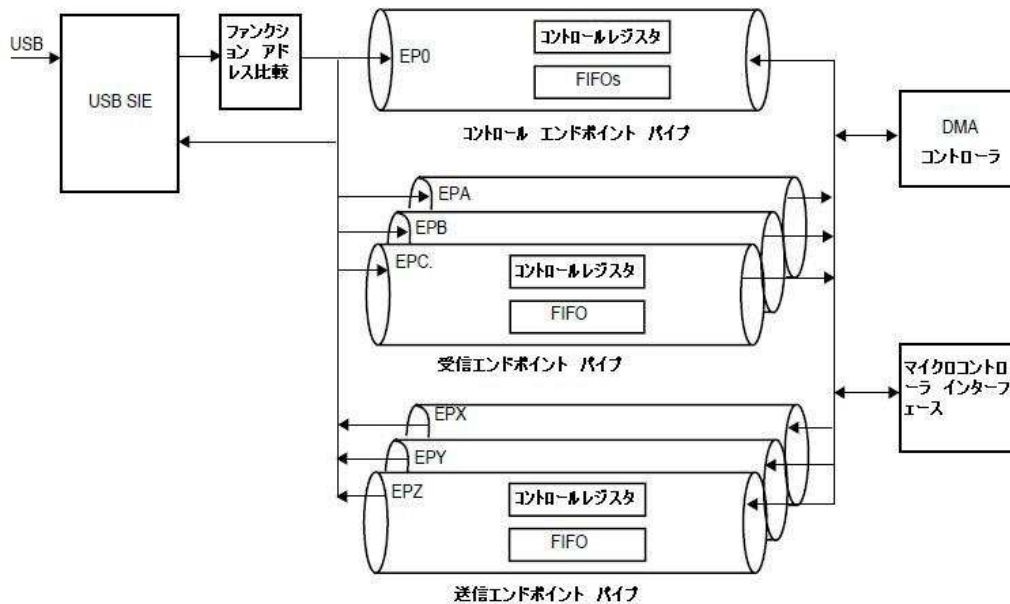


図3. EPC オペレーション

2.5 マイクロコントローラ インターフェース

デバイスは8ビットパラレルまたはMICROWIREインターフェース経由でCPUまたはマイクロコントローラに接続される。インターフェースタイプはMODE 0とMODE 1の入力モード端子により選択される。加えて、コンフィグレーション可能な割込出力が準備されている。割込みタイプはオープンドレインアクティブローまたはプッシュプル アクティブハイまたはローに構成可能である。

3.0 パラレル インターフェース

パラレルインターフェースはCPUまたはマイクロコントローラ周辺として、デバイスが機能することを可能にする。このインターフェースタイプとそのアドレッシングモード（多重化または非多重化）はデバイスの入力端子MODE 0とMODE 1によって決定される。

3.1 非多重化モード

非多重化モードは図4に示すように制御端子*CS、*RD、*WR、アドレス端子A0と双方向データバスD7-0を使用する。このモードはMODE 0とMODE 1端子をGNDへ接続することにより選択される。

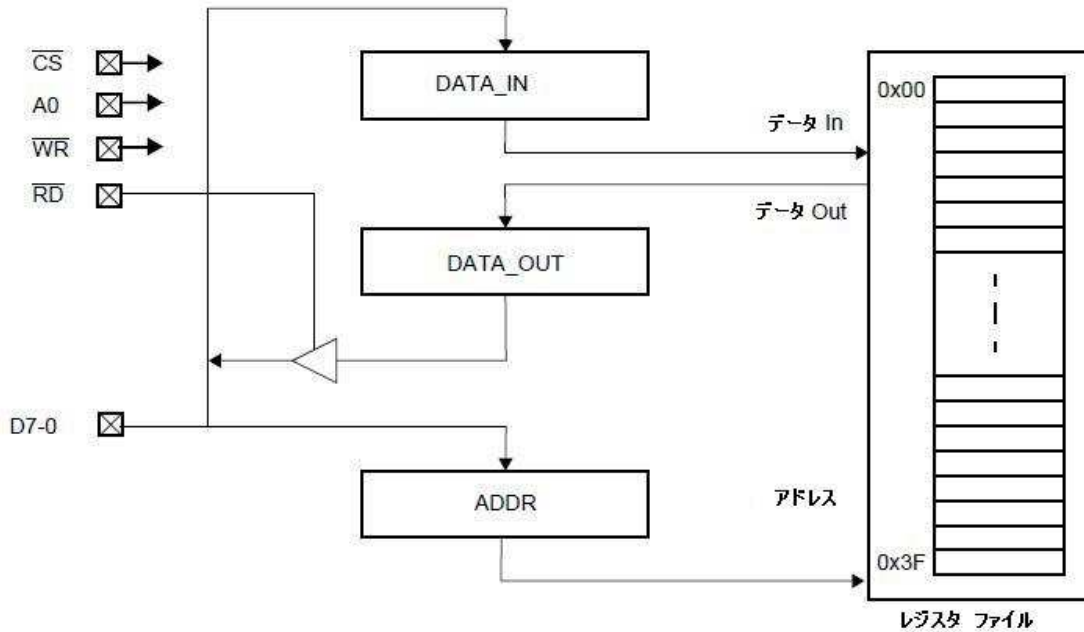


図4. 非多重化モード ブロック図

CPUはDATA_IN、DATA_OUT、ADDRレジスタへ直接アクセスすることができる。デバイスとのデータの読出しと書込みは標準アクセスまたはバーストモードで実行できる。タイミング情報については図5を見よ。

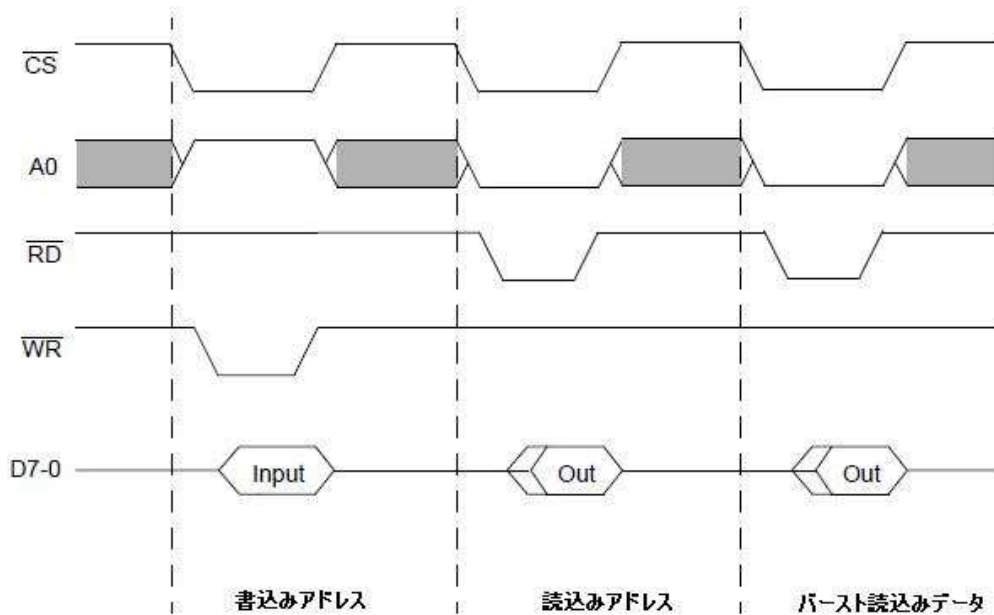


図5. 非多重化モード タイミング図

3. 1. 1 標準アクセスモード

非多重化モードのための標準アクセスシーケンスは、ADDR レジスタへアドレスを書き込み、DATA_OUT レジスタからデータを読み込み、または DATA_IN レジスタへデータを書き込みすることである。DATA_OUT レジスタは ADDR レジスタへ書き込みした後、更新される。ADDR レジスタまたは DATA_OUT/DATA_IN レジスタは A0 入力で選択される。

3. 1. 2 バーストモード

バーストモードでは、ADDR レジスタはチップ上の要求されたメモリアドレスと共に1度書き込まれる。その後、連続して読み込み/書き込みが、新しいアドレスをあらかじめ書き込むことなく、DATA_OUT/DATA_IN レジスタへ実行される。読み込みオペレーションに対する DATA_OUT レジスタの内容は、読み込みまたは書き込み毎に1度更新される。

3. 1. 3 ユーザーレジスタ

次のテーブルは非多重化モードにおけるパラレルインターフェースレジスタの概要を与える。
予約ビットは読み込み時には未定義データを返し、書き込み時には0を書き込むこと。

A0	Access	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	Read	DATA_OUT							
0	Write	DATA_IN							
1	Read	予約済							
1	Write	予約済		ADDR5-0					

アドレスレジスタ (ADDR)

ADDR レジスタは内部メモリを指すポインタとして動作する。このレジスタは書き込みのみ可能で、リセット時はクリアされる。

データ出力レジスタ (DATA_OUT)

DATA_OUT レジスタは ADDR レジスタが指しているメモリレジスタの内容と共に更新される。更新は次の条件で発生する。

1. ADDR レジスタが書き込まれた後
2. DATA_OUT レジスタから読み込んだ後
3. DATA_IN レジスタへの書き込みの後

このレジスタは読み込みのみ可能で、リセット後は未定義データを保持する。

データ入力レジスタ (DATA_IN)

DATA_IN レジスタは ADDR が指すデバイスアドレスへ書き込んだデータを保持する。このレジスタは読み込みのみ可能で、リセット後は未定義データを保持する。

3. 2 多重化モード

多重化モードは図6に示すように制御端子*CS、*RD、*WR、アドレスラッチイネーブル信号ALE、双方向アドレスデータバスAD7-0を使用する。このモードはMODE 1をGNDへ、MODE 0をVccへ接続することにより選択される。ALEがハイのとき、アドレスはADDRレジスタにラッチされる。データは次の*RD/*WR信号活性で出力/入力する。このインターフェースモードでは、全レジスタが直接アクセス可能である。図7は多重化モードにおけるインターフェースの基本タイミングを示す。

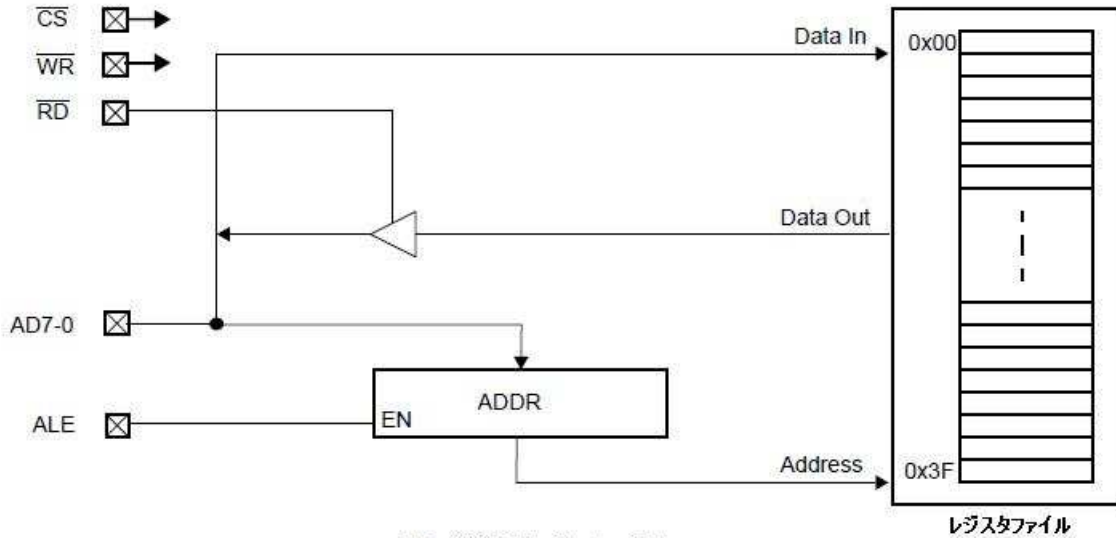


図6. 多重化モード ブロック図

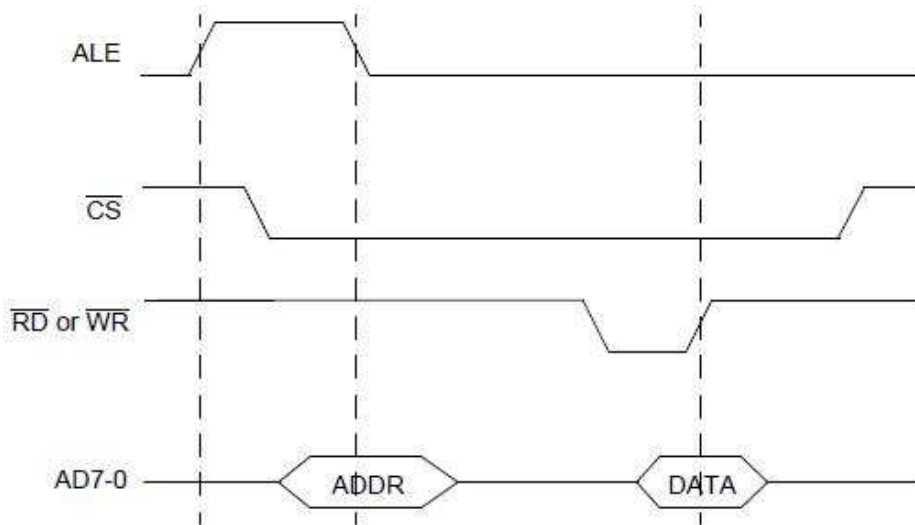


図7. 多重化モード 基本読み込み/書き込みタイミング

4. 0 ダイレクトメモリアクセス (DMA) サポート

このデバイスはエンドポイント1~6から、またはそれらへ外部DMAコントローラとのDMA転送をサポートする。このモードはパラレルインターフェース端子*RDまたは*WR、D7-0データ端子に加え、デバイス端子DRQと*DACKを使用する。DMAモードはパラレルインターフェースモード (MODE1がグランドでなければならぬ) でのみ使用される。読み込みまたは書き込みアドレスは内部的に発生され、DMAサイクルの間、A0/ALE端子の状態は無視される。

DMAサポートロジックはパラレルインターフェースよりも優先度が低い。DMAサイクルの間、*CSは非アクティブのままにしなければならない。もし*CSがアクティブになると、*DACKが無視され、通常の読み込み/書き込み操作が実行される。データが受信または送信される時、1つのエンドポイントだけがDMA要求を出すため、ある一定の時間有効にされる。2つの異なったDMAモード、標準と自動がサポートされる。

4. 1 標準DMAモード

標準DMAモードでDMA転送を可能にするためには、次の段階が実行されなければならない。

1. ローカルCPUはプライバイ要求モード転送のためDMAコントローラをプログラムする。このモードでは、デバイスがDRQ端子によりそれらを要求するときのみ転送が発生する。データはデバイス受信FIFOから読み込まれ、またデバイス送信FIFOへ書き込まれ、さらに同じバス処理の間に、ローカルメモリへ書き込まれ、またローカルメモリから読み込まれる。
2. DMAアドレスカウンタはローカル割当メモリ内の目的メモリブロックを指すためプログラムされる。そして、バイトカウントレジスタが転送されるべきブロック内のバイト数でプログラムされる。もし要求された場合、自動エラー処理がエラー処理カウンタと共にこの時点で有効にされるべきである。加えて、ユーザーは個々のエンドポイント有効ビットをセットする必要がある。
3. DMA有効ビットとDMAソースビットはDMACNTRLレジスタ内でセットされる。
4. USBホストはすぐにUSBバス越しにデバイス内の受信FIFOへまたは送信FIFOからUSBバルクまたはアイソクロナスデータ転送を実行する。
5. もしFIFOの警戒限界に到達する、または送受信が完了した場合、以前に決定されたバイト数でDMA要求/承認シーケンスが開始される。DMA要求が出される時は、選択されたDMAモード (DMACNTLレジスタ内のDMODビットにより制御される)、エンドポイントFIFOの現在の状態とFIFO警戒有効ビットに依存する。ADMA要求は直ちにすることが可能である。
6. DMAコントローラがバスの制御を認めた後、それは有効なメモリアドレスをドライブし、*DACKと*RDまたは*WRをアサート (アクティブ) し、このように受信FIFOからメモリへ、またはメモリから送信FIFOへ1バイトを転送する。DMAコントローラ内のDMAバイトカウントがゼロに達するまで、この過程は継続する。
7. プログラムされたデータ量が転送された後、ファームウェアが次の内の1つを実行しなければならない。(送信方向とモードによる)
 - TXCxレジスタ内のTX_ENビットをセットすることにより、送信のための新しいデータを加える。
 - TXCxレジスタ内のTX_LASTビットをセットすることによりエンド オブ パケット (パケットの終了点) をセットする。RXCxレジスタ内のRX_ENビットをセットすることで受信を再び有効にできる。
 - もしパケットの最後のバイトが受信されたなら、(RXSxレジスタ内のRX_LASTビット) 調べる。

DMA転送はDMA要求有効ビットをリセットすることで適宜停止できる。もしDMAサイクルの中程で、DMA要求有効ビットがクリアされれば、現在のサイクルはDMA要求が終わる前に完了される。

標準DMAモードを使用する場合の送信と受信シーケンス図8と9を見よ。



図8. 標準DMAモードにおける送信動作



図9. 標準DMAモードにおける受信動作

4. 2 自動DMAモード

ADMAモードは独立して大量のバルクまたはアイソクロナスデータストリームをUSBバスへまたはUSBバスからCPUに転送することを可能にする。DMAコントローラのアプリケーションはADMAロジックと共に、大量のデータを分割し、USB経由で（FIFOサイズの）パケットにそれを転送する能力を有する。加えて、自動エラー処理がファームウェアの介入を最小化するために実行される。転送されるデータストリームバイト数はモジュロ（剰余）64サイズでなければならない。データの最大量は $256 * 64$ バイト=16Kバイトに制限される。

ADMA転送を有効にするには、次の段階が実行されねばならない。

1. ローカルCPUはフライバイ要求モード転送のためにDMAコントローラをプログラムする。このモードでは、転送はDRQ端子経由でDMA要求への応答にのみ発生する。データは受信FIFOから読み込まれ、また送信FIFOへ書込まれる、さらに同じバス処理の間に、ローカルメモリへ書込みされ、またローカルメモリから読み込まれる。
2. DMAアドレスカウンタはローカル分割メモリ内の目的のメモリブロックを指すためにプログラムされ、バイトカウントレジスタは転送されるべきブロック内のバイト数をプログラムされる。DMAカウントレジスタは受信または送信されるべきパケット数で構成（コンフィグレーション）すること。必要ならば、このときに自動エラー処理レジスタも構成（コンフィグレーション）すること。
3. ADMA有効ビットは先立って、もしくはDMA有効ビットと同時にセットする必要がある。DMA有効ビットはADMAモードを有効にする前にクリアしなければならない。
4. DMA要求有効ビットとDMAソースビットはデバイス内でセットされる。個々のエンドポイント有効ビットもまた設定すること。
5. 次に、USBホストはUSBバスを通して受信FIFOへまたは送信FIFOからUSBバルクまたはアイソクロナスデータ転送を実行可能である。通常のDMAモードの5から7段階が自動的に実行される。最後のパケットが受信されるか、DMAカウントレジスタがゼロ値に到達すると、ADMAは停止される。

ADMAモードを用いた送受信シーケンスは図10、11を見よ。基本DMA書込みタイミングと読出しタイミングは図12、13を見よ。



図10. ADMAモードにおける送信動作



図11. ADMAモードにおける受信動作

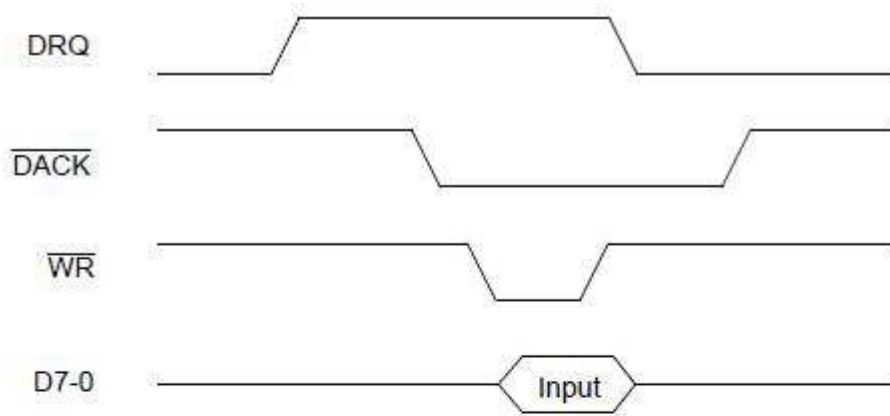


図12. USBN9603/4へDMA書込み

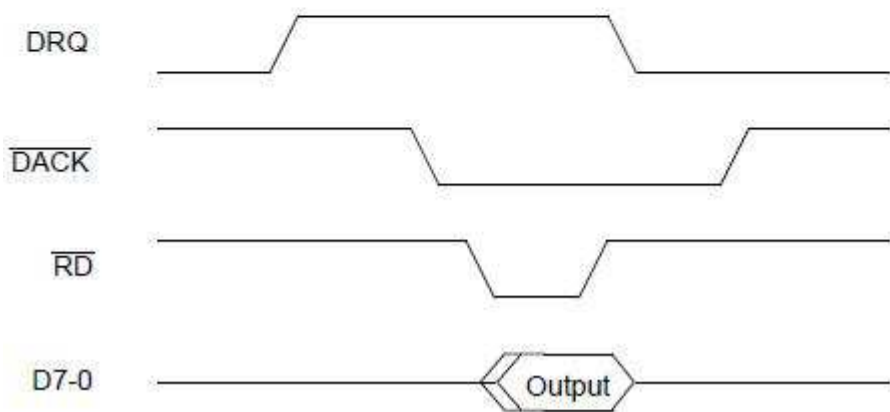


図13. USBN9603/4からDMA読込み

5.0 MICROWIRE/PLUS インターフェース

MICROWIRE/PLUSインターフェースでは、デバイスがシリアルインターフェース経由でCPUまたはマイクロコントローラ周辺として機能することを可能にする。このモードはMODE 1端子をハイにし、MODE 0端子をローすることで選択される。MICROWIRE/PLUSモードは、図14に示すようにチップセレクト (*CS)、シリアルクロック (SK)、シリアルデータ入力 (SI)、シリアルデータ出力 (SO) の各端子を使用する。

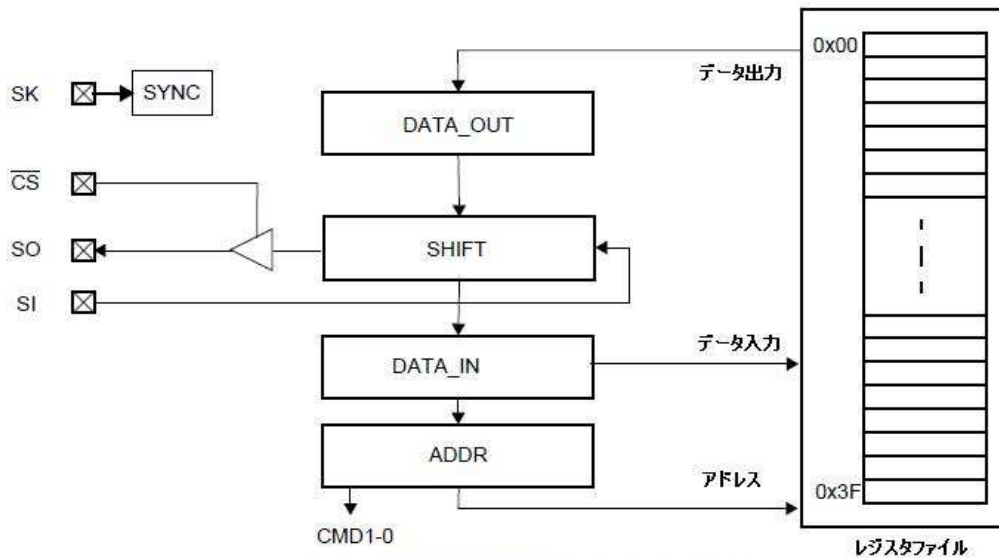


図14. MICROWIRE/PLUS インターフェースブロック図

5.1 オペレーティング コマンド

MICROWIRE/PLUSインターフェースは*CSの立下りエッジにより有効となり、*CSの立上りエッジでリセットされる。SI上のデータはSKの立上りエッジの後にシフトされる。データはSKの立下りエッジの後にSO上にシフト出力される。データは8番目のSKクロックの立下りエッジの後シフトレジスタから、またはシフトレジスタへ転送される。データは最も重要な最初のビットから転送される。テーブル2はMICROWIRE/PLUSインターフェースのための有効なコマンド (CMD) を集めたものである。

注：どのレジスタへの書き込み操作も、書き込みが発生した後、必ずレジスタの内容を読み、次のクロックでデータをシフト出力する。この読みは、1つを除いてクリアオンリード (CoR) 型ビットに対しても、個々のレジスタ内のビットをクリアしない。その1つとは、次のサイクルの間、未定義データの読み込みの原因となるTXDx (データ転送) レジスタへの書き込みである。

テーブル 2. コマンド/アドレス バイトフォーマット

転送バイト		開始シーケンス ¹	
CMD	ADDR	サイクル	説明
1 0	5 4 3 2 1 0		
0 0	RADDR (読み込み)	1	CMD/RADDRシフト入力; 前の読み込みデータをシフト出力
		2	次のCMD/ADDRシフト入力; RADDRデータをシフト出力
0 1	x	1	非動作; 前の読み込みデータをシフト出力 (CoRビットをクリアしない)
1 0	WADDR (通常書き込み)	1	CMD/WADDRシフト入力; 前の読み込みデータをシフト出力
		2	WADDR書き込みデータシフト入力; WADDR読み込みデータをシフト出力 (CoRビットをクリアしない)
1 1	WADDR (バースト書き込み)	1	CMD/WADDRシフト入力; 前の読み込みデータをシフト出力
		2-n	WADDR書き込みデータシフト入力; WADDR読み込みデータをシフト出力 (CoRビットをクリアしない) *CSをハイにすることでこのモードを終了。

1. 1サイクル = 8 SK クロック。データは1サイクルのBSK (シリアルクロック) 後に転送される。

5. 2 読み込みと書き込みタイミング

前のアドレスから読み込みデータをシフト出力する間、同時にデータは2ビット命令（CMDと6ビットアドレス、RADDRまたはWADDR）でシフトすることにより読み込まれる。

データは標準またはバーストモードで書き込みできる。標準モードは2バイト必要とする。一つはシフト入力されるコマンドとアドレスのため、もう一つはシフト入力されるデータのためである。バーストモードでは、コマンドとアドレスが最初に転送され、その後、連続データがそのアドレスに書き込まれる。バーストモードは*CSが非活性（ハイ）のとき終了する。

基本読み込みタイミングは図15を、標準書き込みタイミングは図16を、バーストモードの書き込みタイミングは図17を見よ。



図15. 基本読み込みタイミング



図16. 標準書き込みタイミング



図 17. バースト書込みタイミング

6. 0 機能の説明

6. 1 機能の状態

6. 1. 1 ライン状況の検出

いつでもデバイスは次の状態の内の1つにある。(機能の状態遷移についてはセクション6. 1. 2を見よ。)

- ・ノードオペレーショナル 通常のオペレーション
- ・ノードサスペンド (休止) USB非活性により休止されるデバイスオペレーション
- ・ノードレジューム 休止状態からのデバイス起動
- ・ノードリセット デバイスリセット

ノードサスペンド、ノードレジュームまたはノードリセットライン状況は、あるオペレーション状態から別のオペレーション状態への遷移を原因として発生する。これらの状況は特別なハードウェアにより検出され、オールタネイト (交互に起きる) イベント (ALTEV) レジスタ経由で報告される。もし割り込みが有効になっていれば、割り込みは指定された状況のいずれかの発生により生じる。

ノードオペレーショナル

これは通常作動中のデバイスの状態である。この状態では、ノードはUSBバス上での作動のため構成 (コンフィグレーション) される。

ノードサスペンド (休止)

何の検出可能なバス動作も無いまま3mS経過したとき、USBデバイスはノードサスペンド状態に入ることを要求される。そのデバイスはこのイベントを探し、もし有効なら割り込みを発生する原因となるALTEVレジスタのSD3ビットをセットすることによりそれを知らせる。ファームウェアはデバイスをノードサスペンド状態にすることにより応答すべきである。

このデバイスは、ホストコントローラでローカルイベントへの応答時にファームウェア制御下で通常オペレーションを再開できる。それはノードレジューム経由でUSBバスを起動することが可能であり、一方で、USBバス上でレジュームコマンドを検出したとき、ホストコントローラへ割り込みを信号出力する。

ノードレジューム

もしホストがノードからのリモート起動を有効にしていたら、デバイスはリモート起動を開始する。一度ファームウェアがバスを起動するイベントを検出すると、NF SRレジスタを使用してUSB上でノードレジュームを開始することにより、ノードサスペンド状態からデバイスを開放する。ノードファームウェアはUSB上で少なくともアイドル5mSを保証しなければならない。ノードレジューム状態の間、定数“K”がUSB上に信号出力される。これは少なくとも1mS、さらに5mS以下続くはずである。そして、USBホストが少なくとも追加の20mSの間ノードレジューム信号を送出し続けた後、さらに、エンド オブ パッケージ (EOP) シーケンスを出すことによりノードレジュームオペレーションを完了する。

首尾よくEOPを検出するために、ファームウェアはNF SRレジスタをセットすることにより、USBノードオペレーショナル状態に入らねばならない。

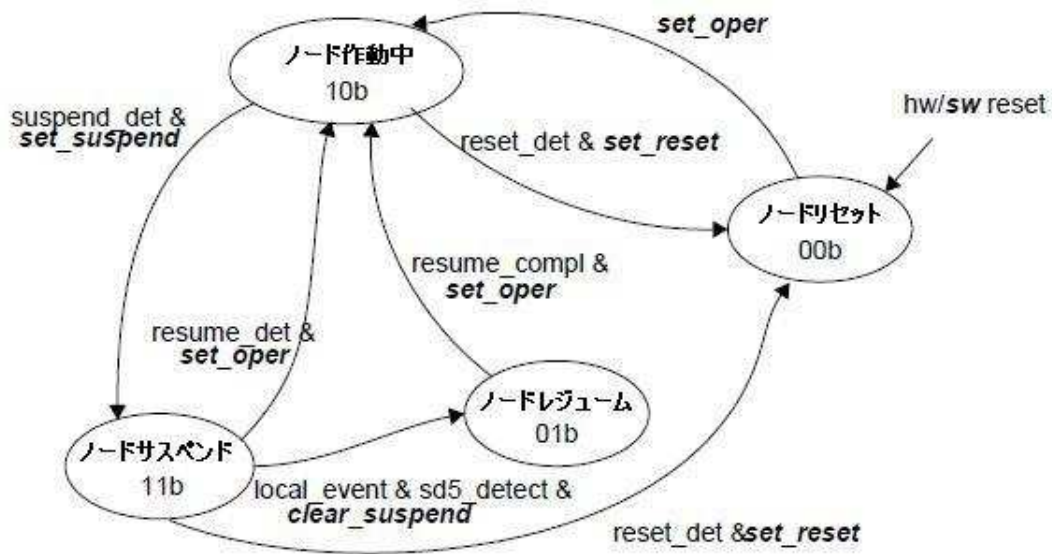
もし100mS内にホストからEOPの受信が無い場合、ソフトウェアはノードレジュームを再始動しなければならない。

ノードリセット

ノードサスペンド状態の間、ノードレジュームまたはノードリセット信号を検出しているとき、デバイスは割り込みを発生することにより主コントローラへこれを信号出力できる。USB仕様は、起動またはリセットの後、デバイスが10mS以内にUSBトークンにตอบสนองする準備をすべきことを要求する。

6. 1. 2 機能の状態遷移

各遷移を誘発する条件同様に、図18はデバイスの状態と遷移を示す。全状態処理はファームウェアにより開始される。



Bold Italics = ファームウェアにより開始される遷移

注:

1. ノードがノードオペレーショナル状態に無いとき、全レジスタはエンドポイントコントローラ スタートマシーン、TX_EN、LAST及びリセットするRX_ENビットを除いて固定したままである。
1. ノードレジューム状態では、レジューム信号は上流へ向かい伝達される。
2. ノードサスペンド状態では、ノードは低電力状態に入って良い、さらにレジューム信号を検出可能である。

図 18. ノード機能遷移図

テーブル 3. 機能状態

状態遷移	活性化(アサート)される条件
set_reset	ノードファンクショナル スタートレジスタNFS[1:0]ビットに00を書き込む。 もしALTEVレジスタのRESETがセットされると、ファームウェアはset_resetを開始するだけである。
set_suspend	ノードファンクショナル スタートレジスタNFS[1:0]ビットに11を書き込む。 もしALTEVレジスタのSD3がセットされると、ファームウェアはset_suspendを開始するだけである。
set_oper	ノードファンクショナル スタートレジスタNFS[1:0]ビットに10を書き込む。
clear_suspend	ノードファンクショナル スタートレジスタNFS[1:0]ビットに01を書き込む。 もしALTEVレジスタのSD5がセットされると、ファームウェアはclear_suspendを開始するだけである。
reset_det	ALTEVレジスタのRESETは1にセットする。
local_event	USBを起動するローカルイベント
sd5_det	ALTEVレジスタのSD5は1にセットする。
suspend_det	ALTEVレジスタのSD3は1にセットする。
resume_det	ALTEVレジスタのRESUMEは1にセットする。
resume_compl	ノードはノードレジューム状態では少なくとも10ms間そのままとし、さらに、このリモートレジュームオペレーションを終了するホストからEOPを検出するためUSBオペレーショナル状態に入らねばならない。ALTEVレジスタのEOPが1にセットされると、EOPは信号を出す。

6. 2 エンドポイントオペレーション

6. 2. 1 アドレス検出

パケットはUSBネットワーク上でホストコントローラから全てのノードへばらまかれる。アドレス検出が、パケットの選択受信を可能にし、さらにマイクロコントローラのバンド幅の最適利用を可能にするため、ハードウェアで実行される。7つの異なるエンドポイントの組み合わせを持つ1つの機能アドレスが並列してデコードされる。もし一致が見出されれば、そのとき特別なパケットがFIFOに受信される。そうでなければ無視される。

入力してくるUSBパケットのアドレスフィールドとエンドポイントは入力ビットストリームから抽出される。さらにアドレスフィールドがファンクションアドレスレジスタ (FADR) と比較される。もし一致が検出されると、平行してエンドポイントフィールドはエンドポイントコントロールレジスタ (EPCx) の全てと比較される。その後、一致の結果、個々のエンドポイントFIFOを使用して負荷データが受信、または送信される。

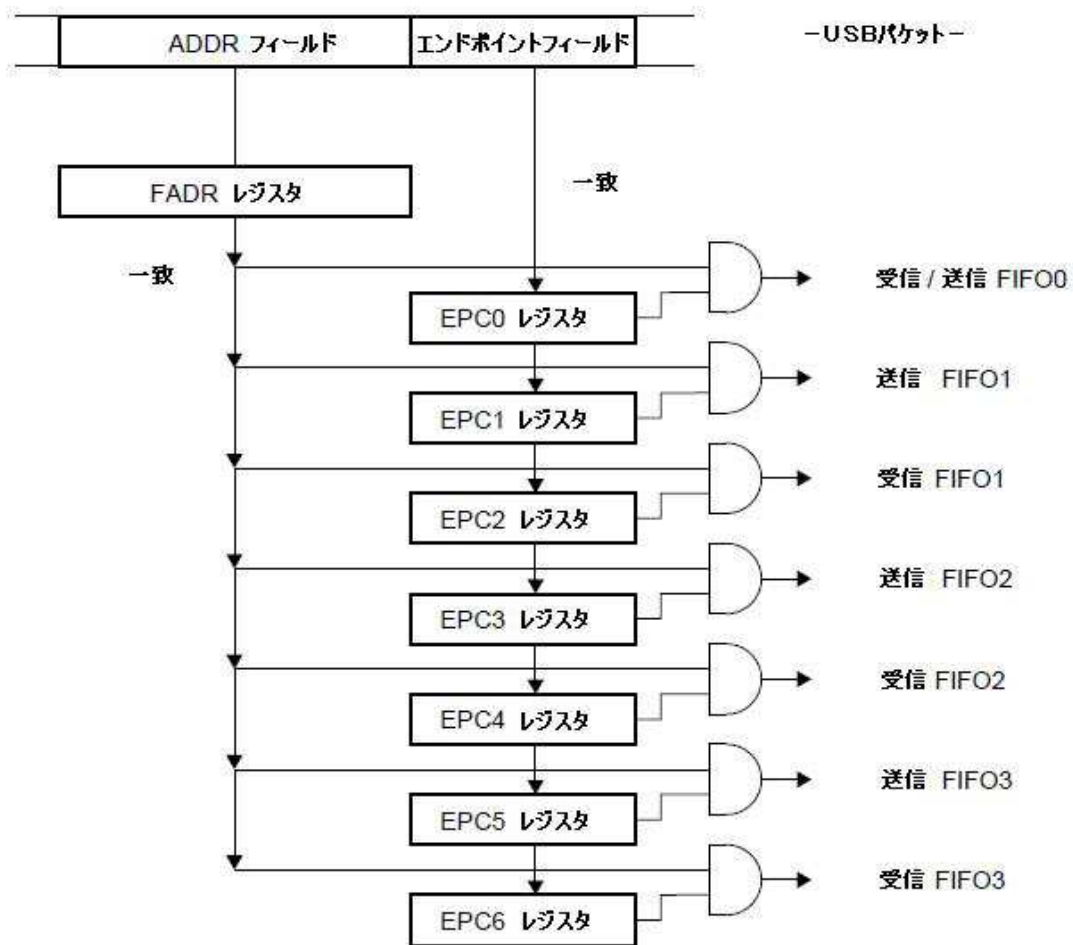


図 19. USBファンクション アドレス/エンドポイント デコーディング

6. 2. 2 エンドポイントFIFOの送信と受信

デバイスは全部で7つの送受信FIFO、つまり一つのマニフェトリコントロール (命令制御) のための双方向送受信FIFO、3つの送信FIFOと3つの受信FIFO、を使用する。テーブル4に示すように、制御エンドポイント用の双方向FIFOは8バイト幅を持つ。加えて一方のFIFOは送受信のためそれぞれ64バイトある。各FIFOは、ある汎用的なデコードをされたUSBファンクションアドレスと共に使用される一つの排他的USBエンドポイントからプログラムされる。ファームウェアはいかなるときもエンドポイントゼロに対し送受信FIFO共に有効にしてはならない。

テーブル 4. USBN9603/4 エンドポイントFIFOサイズ

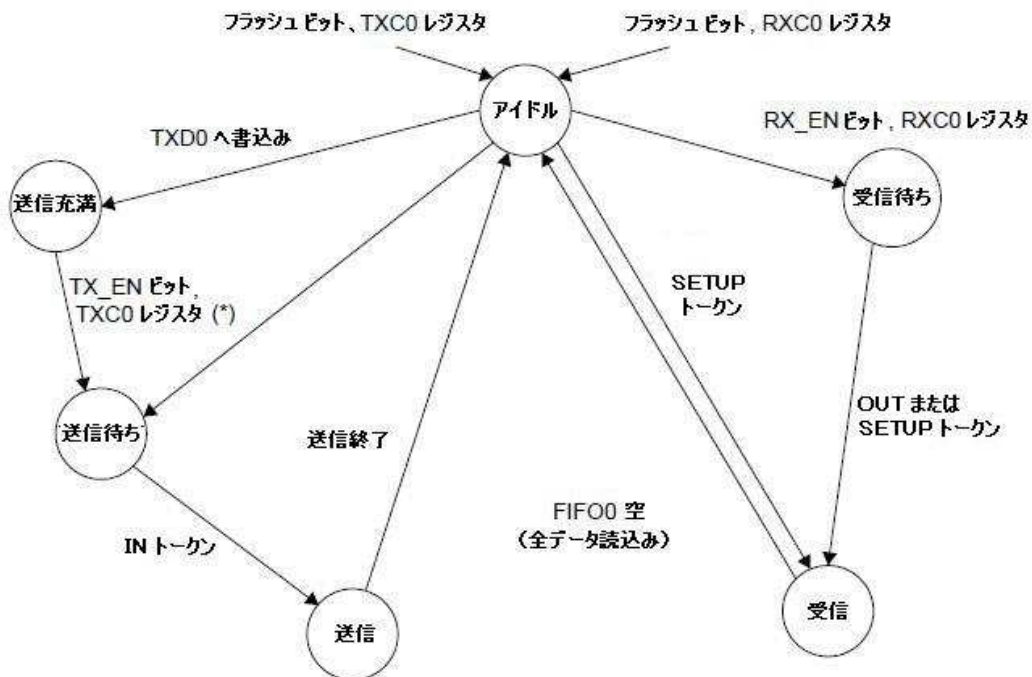
エンドポイント No.	TX FIFO		RX FIFO	
	サイズ(バイト)	名称	サイズ(バイト)	名称
0	8 FIFO0			
1	64	TXFIFO1		
2			64	RXFIFO1
3	64	TXFIFO2		
4			64	RXFIFO2
5	64	TXFIFO3		
6			64	RXFIFO3

もし同じ方向の2つのエンドポイントが同じエンドポイント番号でプログラムされ、共に有効であると、そのエンドポイントがバルクまたは割込み転送を無効にされる、またはISO送信を満たすか空になるまで、データはより低い番号の付いたエンドポイントへ送信またはそのエンドポイントから受信される。例えば、もし受信EP2と受信EP4が共にエンドポイント5を使用し、共にアイソクロナスであるならば、中間のファームウェアの相互作用が無いので、最初のOUTパケットはEP2に受信され、第二のOUTパケットはEP4に受信される。ISOエンドポイントに対し、これはフレーム番号一致ロジックと共にピンポンバッファ方式を実行可能である。同じエンドポイント番号でプログラムされた異なった方向のエンドポイントは独立に作動する。

双方向コントロール エンドポイントFIFOの操作

FIFO0は双方向制御エンドポイントゼロに対し使用すべきである。それは、EPC0レジスタ内のDEFビットでデフォルトアドレスへ送られたデータを受信するために構成（コンフィグレーション）可能である。アイソクロナス転送は制御エンドポイントに対しサポートされていない。

エンドポイント0FIFOは8バイトデータまでの1受信または送信パケットを保持できる。図20は受信と送信、両方向の基本的な操作を示す。注：実際の現在のオペレーティング状態はユーザーには直接見ることはできない。



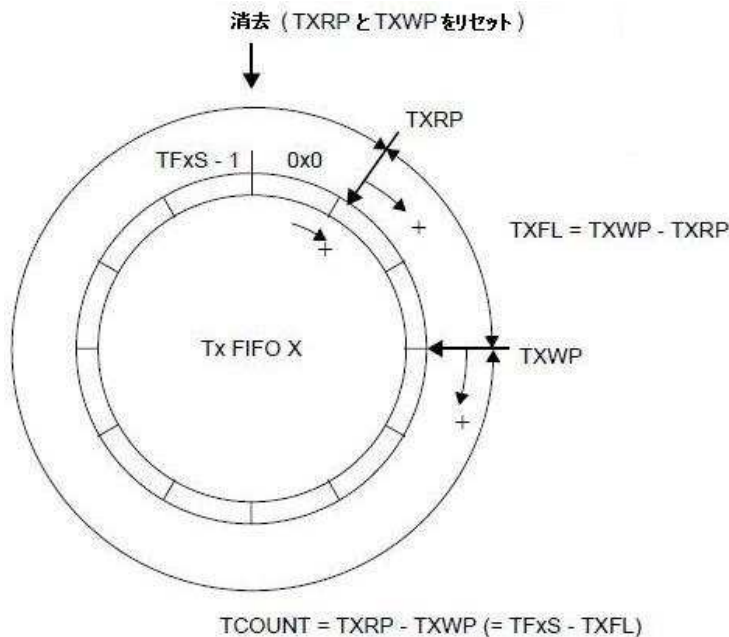
(*) ゼロ長パケットに対しては、TX_ENがIDLE(アイドル)からTXWAIT(送信待機)への遷移の原因となる。

図 20. エンドポイント0 操作

もし個々のエンドポイント用のINトークンが受信されると、FIFOへ書き込まれたパケットが送信される。もしエラー状況が検出されると、パケットデータはFIFO内でそのまま保持され、送信が次のINトークンで再度試行される。FIFOの内容はOUTトークンへの応答を許可するため、または、次のINトークンのためにFIFOに新しいデータを書き込むため消去される。もしOUTトークンがFIFOに受信されると、エラー状況（CRCまたはSTUFFエラー）がない場合のみ、ファームウェアは、FIFOがデータを受信したことを知らされる。誤った受信内容は自動的に捨てられる。

送信エンドポイントFIFO操作 (TXFIFO1、TXFIFO2、TXFIFO3)

エンドポイント1、3、5用の送信FIFOは、実際のFIFOサイズより大きいバルク、割込み、アイソクロナスUSBパケット転送をサポートする。それゆえに、USBパケットがバスに送信される間に、ファームウェアはFIFOの内容を更新しなければならない。図21は送信FIFOの操作を示す。



テーブル 21. Tx FIFO オペレーション

TFxS

送信FIFOxサイズ。これはFIFO内の有効な全バイト数である。

TXRP

送信読み込みポインタ。このポインタは、エンドポイントコントローラが送信FIFOから読み込む度に増加される。もしTFxSが到達すると、このポインタはゼロで周囲を包む。TXRPは書き込みポインタTXWPの値を超えて増加されることは決していない。もしTXRPがTXWPに等しい場合、アンダーラン状況が発生し、TXCMDxレジスタ内のLASTビットがセットされていないとき、さらにバイトを送信しようと試みる。

TXWP

送信書き込みポインタ。このポインタはファームウェアが送信FIFOへ書き込みする毎に増加される。もしTFxSが到達すると、ポインタはゼロで周囲を包む。もし実際の有効な空間（FIFOオーバーラン）以上にFIFOへバイトを書き込もうと試みる場合、FIFOへの書き込みは無視される。もしそうならば、TCOUNTが残りの空のバイト数を示すために調べられる。

TXFL

送信FIFOレベル。この値は現在FIFO内に何バイトがあるのかを示す。もしTXFLが指定の値にまで減ったとき、FIFO警戒が出される。もしTXFLが、TXCxレジスタ内のTFWLビットにより指定された数よりも少ないかまたは等しい場合、FWRレジスタ内のこのWARNxビットはセットされる。

TCOUNT

送信FIFOの計数。この値は送信FIFO内を満たすことができる空のバイトがどれだけあるかを示す。この値はTxSxレジスタ経由でファームウェアによりアクセス可能である。

受信エンドポイントFIFO操作 (RXFIFO1、RXFIFO2、RXFIFO3)

エンドポイント2、4、6のための受信FIFOはバルク、割込み、実際のFIFOサイズよりも大きいアイソクロナスUSBパケット転送をサポートする。もしパケット長がFIFOサイズを超える場合、USBパケットがバス上で受信されている間に、ファームウェアはFIFOの内容を読み込まねばならない。図22は受信FIFOの細かい動作を示す。

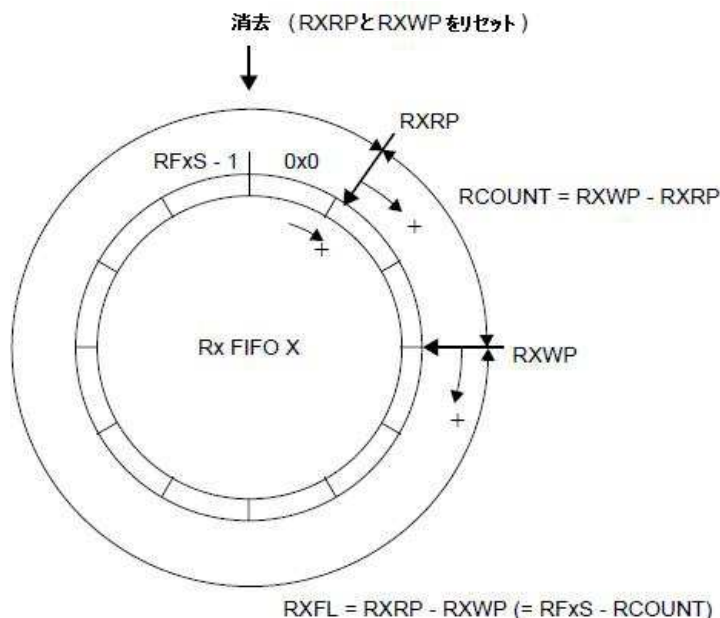


図22. Rx FIFO オペレーション

RFXS

受信FIFOxサイズ。これはFIFO内の有効な全バイト数である。

RXRP

受信読み込みポインタ。このポインタは受信FIFOからのファームウェアの読み込み毎に増加される。もしRFXSが到達すると、このポインタはゼロで周囲を包む。RXRPはRXWPの値以上に増加することは決してない。もし実際に有効な (FIFOアンダーラン) バイト数以上に読み込もうと試みても、最後のバイトが繰り返し読み込まれる。

RXWP

受信書き込みポインタ。このポインタはエンドポイントコントローラが受信FIFOへ書き込むときにいつも増加される。もしRFXSが到達すると、このポインタはゼロで周囲を包む。もしRXRPがRXWPに等しく、且つ追加のバイトを書き込みしようと試みると、オーバーラン状況が発生する。

RXFL

受信FIFOレベル。この値は、FIFOへの次の書き込みでオーバーラン状況が発生するまで、どれだけバイトがさらに受信可能かを示す。

もしRXFLが指定値よりも少ない場合、FIFO警戒が出される。もしRXFLがRXCxレジスタ内のRFLビットにより指定される数に等しいかまたは少ないとき、FWRレジスタ内の個々のWARNxビットがセットされる。

RCOUNT

受信FIFO計数。この値は受信FIFOから読み出せるバイト数がどれだけあるかを示す。この値はRXSxレジスタ経由でファームウェアによりアクセス可能である。

6. 2. 3 プログラミング モデル

図23はイベント報告のためのレジスタ階層を示す。

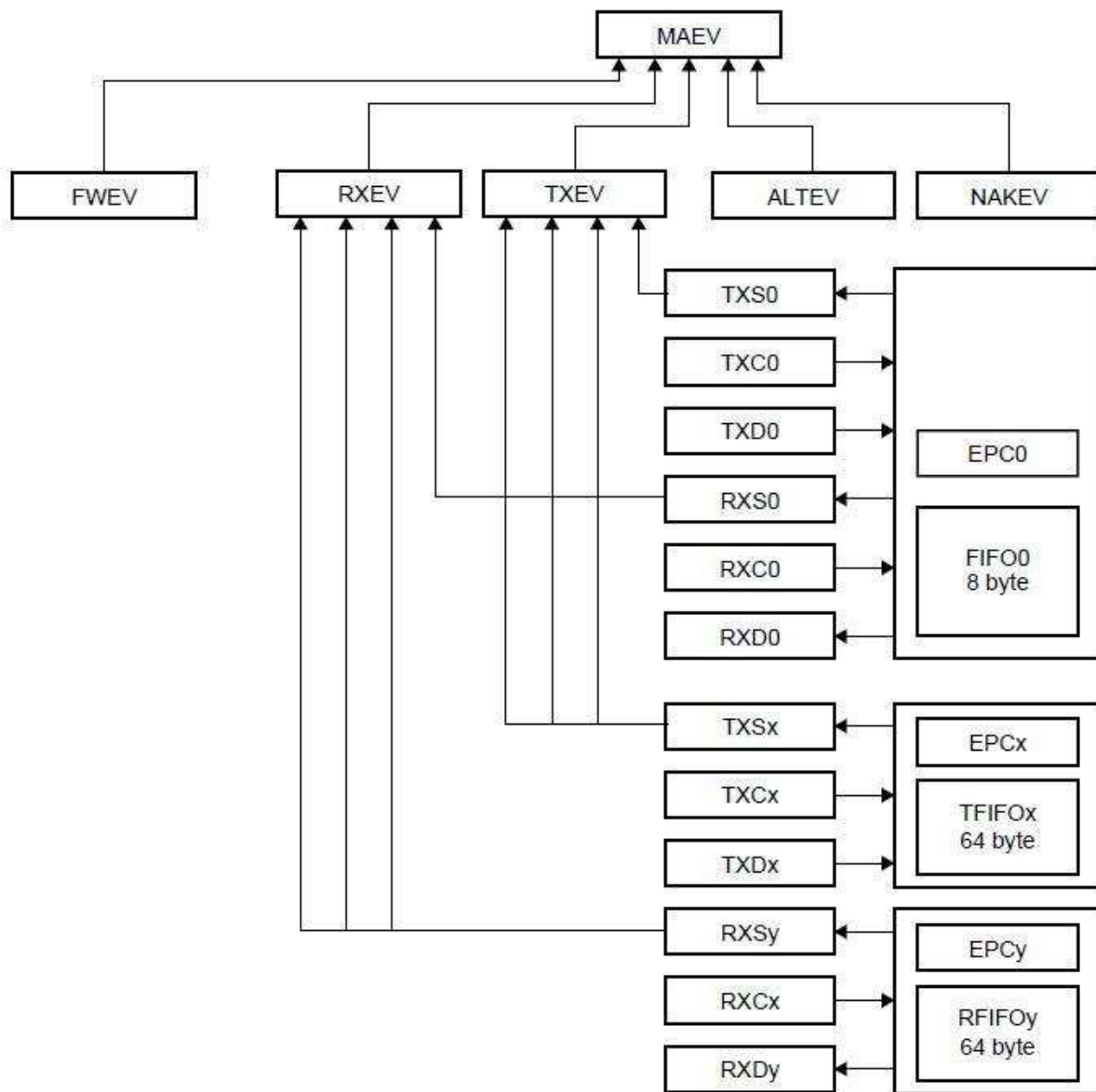


図23. レジスタ階層

6. 3 電力節約モード

USBノードの電力消費を最小化するため、デバイスはスタティックホールドモードを設定可能である。ホールド（停止）モードの間、CLKOUT端子に備えられたクロック出力信号同様に、外部24MHzクロックと48MHz周波数通倍器を停止することで、クロック発振器回路は無効となる。しかしながら、全デバイス内部ステータスとレジスタ設定は保持される。デバイスは次の条件下でホールドモードにセットされる。

- ・ホールドオンサスペンド (HOS) が有効になると (WKUPレジスタ内のHOSビットが1にセットされる)、ノードがサスペンド (休止) 状態にセットされるとき、デバイスはホールドモードに入る。ノードがサスペンド状態になった後、HOSに1を書き込むことは無効である。
- ・ノードが取り付けられていないならば、ウェイクアップ (起動) レジスタ内の強制ホールドビット (FHT) が1にセットされると、デバイスはホールドモードに入る。

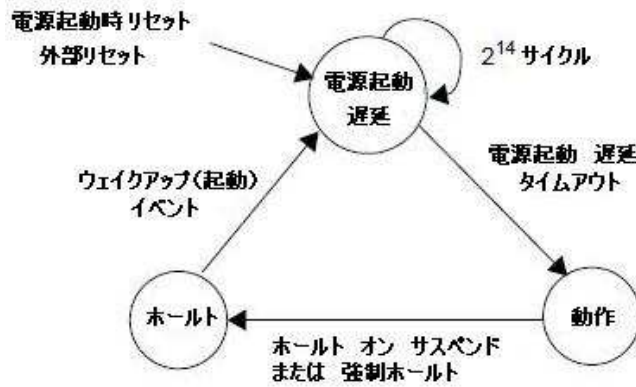


図 24. 電力節約モード

デバイスは次のウェイクアップ（起動）イベントの一つへの応答でホールドモードを脱出する。

- ・ハイからローへの変化が*CS端子上で検出され、WKUPレジスタ内のENUC、ウェイクアップ（起動）有効ビットが1にセットされる。
- ・USB上でなんらかの動作が検出され（USBアイドルではない）、WKUPレジスタ内のENUSBが1にセットされる。（ノードは何らかの装置が差し込まれるだけでそれを検出可能である。）

有効なウェイクアップ（起動）イベントが検出されると、 $2^{14} \times \text{IN}$ クロックサイクルの電源起動時の遅延時間が経過した後、デバイスはアクティブ（活性）モードに戻る。この遅延は、24MHz発振器が安定な状態に達して、クロック通倍器がロックし、安定した48MHz信号を発生することを保証する14ビット遅延カウンタにより定まる。この始動時遅延の後、クロック信号はCLKOUT端子に出力される。

6. 4 クロック発生

クロック発生器はクロックコンフィグレーションレジスタ（CCONF）のプログラミングを基本としたCLKOUT出力信号を備える。これは出力クロックとクロック除数の選択を無効にすることができる。クロック除数は2.82MHzから48MHzの範囲でプログラム可能な出力をサポートする。パワーオンリセット時、出力クロックはデフォルト値4MHzとなっている。ソフトウェアリセットは、CCONFのプログラミングを無効とし、その結果CLKOUT信号も無効である。

USBN9603とUSBN9604の違いはクロック発生器回路のハードウェアリセットの効果だけである。USBN9604では、*RESET入力の活性（ロー）はクロック発生回路をリセットすることで可能である。ところが、USBN9603ではクロック発生回路はリセットされない。しかしながら、USBN9603では*RESET入力の活性（ロー）は、CLKOUT信号を強制的にデフォルト4MHzにするCCONFを含む全レジスタをリセット値に戻すことができない。USBN9604では、*RESET入力の活性（ロー）は、クロック発生器回路をパワーオン（電源起動時）リセットと同様にリセットすることで可能である。クロック発生器の部分がリセットされるので、 $2^{14} \times \text{IN}$ クロックサイクルの遅延は、CLKOUT信号が出力する前に影響を受ける。*RESET入力の活性（ロー）も、CLKOUT信号を強制的に4MHzのデフォルト値にするCCONFを含む全レジスタをそのリセット値に戻すことが可能である。

相違点はバス給電オペレーションにとって特に重要である。そのようなアプリケーションでは、バスから供給される電圧はクロック発生回路のための受け入れ可能なレベル以下に落ちるかもしれない。これが発生すると、リセットは最適保証オペレーションにこの回路を適応させねばならない。 $2^{14} \times \text{IN}$ クロックサイクルの後、CLKOUT信号は出力される。この低電圧検出が、CPUやUSBN9604を含む他の部品を最適にリセットするためのLP3470のような標準的な電圧センサを使用することでバス給電アプリケーションを達成する。

電源上の直接制御である自己給電アプリケーションでは、クロック発生器回路をリセットする必要がある*RESET入力と $2^{14} \times \text{IN}$ クロックサイクルを遅らせるためのCLKOUT信号を必要としない。USBN9603はどのようにシステムクロックとしてCLKOUT信号を使用する自己給電アプリケーションに最適である。

7.0 レジスタ セット

デバイスはUSBインターフェースを制御するため書き込み可能な、また読み込み可能なメモリーマップト レジスタ式を持つ。あるレジスタビットは予約済である。これらのビットを読み出すと未定義データを返す。予約済レジスタビットは常に0を書き込むべきである。

次のコンベンション（約束事）はレジスタフォーマットを記述するために使用される。

ビット番号	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
ビットごとのビット	縮小されたビット/フィールド名							
一致する FIFO	関連するところの一致するFIFO型と番号							
リセット値	関連するところのリセット値							
レジスタの型	r = 読み込みのみ w = 書き込みのみ r/w = ファームウェアによる読み込みと書き込み CoR = 読み込みでクリア CoW = もし0が書き込まれると、書き込み時クリア:1を書き込むと無効 HW = デバイスおよびファームウェアにより変わる							

7.1 制御レジスタ

7.1.1 主制御レジスタ (MCNTRL)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
INTOC1-0		予約済		NAT	VGE	予約済	SRST
0	0	-	-	0	0	-	0
r/w		-		r/w	r/w	-	r/w

SRST

ソフトウェアリセット。このビットをセットするとデバイスのソフトウェアリセットの原因となる。このリセットは、クロックコンフィグレーション (CCONF) レジスタが影響を受けないことを除いて、ハードウェアリセットと同等である。全レジスタがそのデフォルト値に戻る。このビットは開始されたリセットの完了時に自動的にクリアされる。

VGE

電圧レギュレータ有効。このビットをセットすると、内蔵3.3V電圧レギュレータが有効になる。このビットは0でのみハードウェアリセットとなり、デフォルトで内蔵3.3Vレギュレータは無効である。内蔵3.3Vレギュレータが無効のとき、デバイスは事実上USBから切断される。電源立ち上げ時、ファームウェアはある必須の初期化（電源起動時のセルフテストのような）を実行し、VGEビットをセットする。VGEビットがセットされるまで、上流のハブポートはデバイスの存在を検出しない。もし、VGEビットがリセットされると、外部3.3V電源がV3.3端子で使用されるかもしれない。

NAT

ノード接続。このビットは、このノードがUSBに接続されたものとして検出する準備ができたことを示す。リセットすると、トランシーバは、アタッチイベントを検出することからハブを妨害するため（このノードが接続される）USBポート上にSE0を強制的に出力する。リセット後、それがコマンドに応答する前に、このビットはデバイス時間を与えるためにクリアされたままとなる。このビットがセットされた後、デバイスはもはやUSBをドライブすることは無く、ハブからのリセット信号出力を受信する準備に入る。もし外部3.3V電源がV3.3端子に供給されるか、VGEビットがセットされた後（後者の場合、遅延は内蔵レギュレータを十分な時間で安定させる）、少なくとも1ms、NATビットはファームウェアでセットされるべきである。

INTOC

割込み出力制御。これらのビットは、次のテーブルに従って割込み出力を制御する。

テーブル 5. 割込み出力制御ビット

INTOC		割込み出力
1	0	
0	0	無効
0	1	アクティブロー オーフツドレイン
1	0	アクティブハイ フラッシュブル
1	1	アクティブロー フラッシュブル

7. 1. 2 クロック コンフィグレーション レジスタ (CCONF)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
CODIS	予約済			CLKDIV3-0			
0	-			1	0	1	1
r/w	-			r/w			

外部クロック除数。電源起動時リセットとハードウェアリセットで、4MHz出力クロックを生じる除数を11（10進）に構成（コンフィグレーション）する。

$$\text{周波数} = 48\text{MHz} / (\text{CLKDIV} + 1)$$

もしCLKDIV値がファームウェアによって変更されると、クロック出力は広げられたり縮められたりする。もしCLKDIV値がその現段階で増加または減少するならば、CLKOUT端子でグリッチフリースイッチング（異常回避切替）を認める。

CODIS

クロック出力無効。このビットをセットするとクロック出力が無効になる。CLKOUT出力信号はその現在の状態で停止され、このビットがクリアされると、新たな周期で再開する。

7. 1. 3 レビジョン識別子 (REVID)

このレジスタはバイナリエンコードされたチップレビジョン（変更履歴）を持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済				REVID3-0			
-				0	0	1	0
-				r			

REVID

レビジョン識別。9603RevAと9604RevAのレビジョンに対しては、フィールドは0010b（バイナリ）を含む。

7. 1. 4 ノードファンクショナル状態レジスタ (NFSR)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済						NFS1-0	
						0	0
						r/w	

NFS

ノードファンクショナル状態。ファームウェアは、オルタネートイベント (ALTEV) レジスタの個々の状態ビットにより、全ての要求された状態遷移を開始すべきである。有効な遷移を図1 8に示す。ノードファンクショナル状態ビットはテーブル6に示すようにノード状態をセットする。

テーブル 6. USB機能の状態

NFS		ノード状態	説明
1	0		
0	0	ノードリセット	これはUSBリセット状態である。これはモジュールリセットまたはソフトウェアによりUSBリセットの検出をした上でこの状態になる。リセット状態に入ると、全てのエンドポイントパイプは無効となる。エンドポイント制御0 (EPC0) レジスタのDEFとファンクションアドレス (FAR) レジスタのAD_ENはこの状態に入る上でソフトウェアによりクリアされるべきである。この状態を抜けるには、デバイスがデフォルトアドレスに応答するように、DEFがリセットされればよい。
0	1	ノードレジュール	この状態では、“K”信号が出される。デバイスによるリモート起動シーケンスを初期化するため、ファームウェアによりこの状態に入るべきである。ノードは少なくとも1ms且つ15ms以内の間、この状態のままではなければならない。
1	0	ノードオペレーショナル	これは通常のオペレーショナル状態である。この状態ではノードはUSBバス上でオペレーションのために構成 (コンフィグレーション) される。
1	1	ノードサスペンド	サスペンド状態にはサスペンドイベントの検出でファームウェアにより入るべきである。サスペンド状態の間、トランシーバはその低電力サスペンドモードで作動する。全エンドポイントコントローラとTX_EN、LAST、RX_ENビットはリセットされ、全ての他の内部の状態は凍結される。バス活性の検出により、ALTEVレジスタ内のRESUMEビットはセットされる。応答で、ソフトウェアはノードオペレーショナル状態に入る。

7. 1. 5 主イベントレジスタ (MAEV)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
INTR	RX_EV	ULD	NAK	FRAME	TX_EV	ALT	WARN
0	0	0	0	0	0	0	0
テキスト参照	r	CoR	r	CoR	r	r	r

WARN

FIFO 警戒イベント (FWEV) レジスタのマスク不可ビットの一つがセットされる。このビットは FWEV レジスタを読み込むことによりクリアされる。

ALT

オルタネート (交互に起こる)。マスク不可な ALTEV レジスタのビットの一つがセットされる。このビットは ALTEV レジスタを読み込むことによりクリアされる。

TX_EV

送信イベント。もし送信イベント (TXEV) レジスタ (TXFIFO_x または TXUNDRN_x) のマスク不可ビットのいずれかがセットされると、このビットはセットされる。それゆえ、それは IN トランザクション (処理) が完了したことを示す。各送信状態 (TXS_x) レジスタの全ての TX_DONE ビットと TXUNDRN ビットがクリアされる時、このビットはクリアされる。

FRAME

もしフレームカウンタが新しい値に更新されると、このビットはセットされる。もしフレームカウンタがロックされないか、またはフレームが損なわれていたとき、これは USB 上の有効な SOF パケットの受領または不自然な更新に対して行われる。このビットはレジスタが読み込まれるとクリアされる。

NAK

ネガティブ アクノリッジ (拒否承認)。マスク不可 NAK イベント (NAKEV) レジスタビットの一つがセットされる。このビットは NAKEV レジスタが読み込まれるとクリアされる。

ULD

ロック不可/ロック可検出。セットされたフレーム番号 (FNH または FNL) レジスタの UL ビットにより決定されるとき、フレームタイムはロック済状態からロック不可状態に入る、かまたはロック不可状態からロック済状態に再度入る。このビットはレジスタが読み込まれるとクリアされる。

RX_EV

受信イベント。受信イベント (RXEV) レジスタ内のマスク不可ビットのいずれかがセットされると、このビットがセットされる。それは SETUP または OUT 処理が完了したことを示す。各受信ステータス (RXS_x) レジスタ内の全ての RX_LAST ビットと RXEV レジスタ内の全ての RXOVRN ビットがクリアされると、このビットはクリアされる。

INTR

マスター割込み有効。メインマスク (MMASK) レジスタの一致ビットがマスター割込み有効になると、このビットは主イベント (MAEV) レジスタ内を 0 に配線する。

7. 1. 6 メインマスクレジスタ (MMASK)

1 にセットされると、MAEV レジスタ内の個々のイベントが有効なとき割り込みが有効になる。そうでない場合、割り込みの発生は無効。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
MAEVレジスタと同じビット定義							
0	0	0	0	0	0	0	0
r/w							

7. 1. 7 オルタネート イベント レジスタ

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RESUME	RESET	SD5	SD3	EOP	DMA	WKUP	res
0	0	0	0	0	0	0	-
CoR	CoR	CoR	CoR	CoR	r	r	-

WKUP

起動イベント。起動割込みが発生し、外部 INTR 端子に出されたとき、このビットはセットされる。WKUP ビットは読み込み専用であるが、(起動 (WKUP) レジスタ内の PNDUC、PND S B いずれかの) 一致起動ペンディングビットがクリアされるとクリアされる。

DMA

DMA イベント。DMA イベント (DMAEV) レジスタ内のマスク不可ビットの一つがセットされる。DMA ビットは読み込み専用であるが、DMAEV レジスタがクリアされるとクリアされる。

EOP

パケット終点。有効な EOP シーケンスが USB 上で検出された。このデバイスが、レジュームシーケンスが承認され、ホストにより完了したことを示すためのリモート起動シーケンスを開始するとき、それは使用される。このビットはレジスタが読み込まれるとクリアされる。

SD3

3ms サスペンド検出。デバイスがサスペンドにされるべきことを示すので、このビットは IDLE の 3ms が上流ポートで検出された後にセットされる。サスペンドがノードファンクショナル状態 (NFSR) レジスタにサスペンド値を書き込むことによりファームウェア制御の下で発生する。このビットはレジスタが読み込まれるとクリアされる。

SD5

5ms サスペンド検出。このデバイスがリモート起動動作することを許可することを示すので、このビットは IDLE の 5ms が上流ポートで検出された後にセットされる。レジュームは NFSR レジスタにレジューム値を書き込むことによりファームウェア制御の下で開始される。このビットはレジスタが読み込まれるとクリアされる。

RESET

SEO 2. 5µs が上位ストリームポートで検出されると、このビットはセットされる。呼応して、ファンクショナル状態が、少なくとも 100µs の間リセットされる (NFSR レジスタ内の NFS が RESET へ設定される)。このときファンクショナル状態はオペレーショナル状態に戻ることができる。このビットはレジスタが読み込まれるとクリアされる。

RESUME

デバイスがサスペンド状態にあるとき (NFSR レジスタ内の NFS が SUSPEND にセットされる)、レジューム信号出力が USB 上で検出され、さらにこのデバイスがその起動シーケンスを開始し、オペレーショナル状態に入るべきことを示すために、非 IDLE 信号が USB 上に現れる。

7. 1. 8 オールタネート マスク レジスタ (ALTMSK)

ALTEV レジスタ内の個々のイベントが発生すると、このレジスタで 1 に設定されたビットが MAEV レジスタ内の ALT ビットの自動設定を有効にする。さもないと設定する ALT ビットは無効である。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
ALTEV レジスタの同じビット定義							
0	0	0	0	0	0	0	-
r/w							-

7. 1. 9 送信イベントレジスタ (TXEV)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TXFIFO3	TXFIFO2	TXFIFO1	FIFO0	TXFIFO3	TXFIFO2	TXFIFO1	FIFO0
TXUDRRN3-0				TXFIFO3-0			
0	0	0	0	0	0	0	0
r			1	r			

1. エンドポイント 0 が記憶を行い、要素を前へ進めるので、FIFO0 のアンダーラン状態は発生しない。TXUDRRN0 ビットのこの結果は常に 0 として読み出される。

TXFIFO

送信 FIFO。これらのビットは一致する送信状態 (TXSx) レジスタからの TX_DONE ビットのコピーである。一致する送信エンドポイントの IN 処理が完了すると、このビットはセットされる。

TXUDRRN

送信アンダーラン。これらのビットは一致する TXSx レジスタからの個々の TX_URUN ビットのコピーである。送信 FIFO アンダーフロー (下位桁あふれ) のときはいつでも、個々の TXUDRRN ビットがセットされる。一致する送信状態レジスタが読み込まれると、これらのビットはクリアされる。

7. 1. 10 送信マスクレジスタ (TXMSK)

セットされ、且つTXEVレジスタ内の一致ビットがセットされると、MAEVレジスタ内のTX_EVがセットされる。クリアされると、その結果TXEVレジスタ内の一致ビットはTX_EVの設定を引き起こさない。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TXEVレジスタと同じビット定義							
0	0	0	0	0	0	0	0
r/w							

7. 1. 11 受信イベントレジスタ (RXEV)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RXFIFO3	RXFIFO2	RXFIFO1	FIFO0	RXFIFO3	RXFIFO2	RXFIFO1	FIFO0
RXOVRN3-0				RXFIFO3-0			
0	0	0	0	0	0	0	0
CoR				r			

RXFIFO

受信FIFO。個々の受信状態 (RXS_x) レジスタ内のRX_ERRまたはRX_LASTがセットされる時はいつも、これらのビットがセットされる。一致するRXS_xレジスタの読み込みが自動的にこれらのビットをクリアする。

このデバイスはエラーで受けたエンドポイント0の全パケットを捨てる。SETUPパケットの完全なコピーが読み込まれることを保証するため、これはメディアエラーのせいで再送信を行う場合に必要である。さもなくば、エラーが入り込んだデータを保持し、さらに同じパケットの再送の受信を無効とするため、FIFOは妨げられるかもしれない。(RXFIFOビットがエンドポイント0のRX_LASTの値を反映するのみ)

もしデータストリーミングが受信エンドポイント (EP2、EP4、EP6) のために使用されるなら、ファームウェアは、受信パケットがエラーにより壊れていないことを保証するため、個々のRX_ERRビットを検査しなければならない。

RXOVRN

受信オーバーラン。これらのビットはFIFOオーバーラン状態のイベントに設定される。それらはレジスタが読み込まれたときクリアされる。

これらのエンドポイントはデータストリーミング (実際のFIFOサイズより長いパケット) をサポートするので、ファームウェアは、他の受信エンドポイント (EP2、EP4、EP6) から受信されたパケットがエラーにより壊れていないこと示す、個々のRX_ERRビットを検査しなければならない。

7. 1. 12 受信マスクレジスタ (RXMSK)

セットされ、且つRXEVレジスタ内の一致ビットがセットされると、MAEVレジスタ内のRX_EVがセットされる。クリアされても、RXEVレジスタ内の一致ビットがRX_EVを設定する原因とはならない。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RXEVレジスタと同じビット定義							
0	0	0	0	0	0	0	0
r/w							

7. 1. 13 NAKイベントレジスタ (NAKEV)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RXFIFO3	RXFIFO2	RXFIFO1	FIFO0	TXFIFO3	TXFIFO2	TXFIFO1	FIFO0
OUT3-0				IN3-0			
0	0	0	0	0	0	0	0
CoR				CoR			

IN

NAKハンドシェイクがINトークンにตอบสนองして有効となったアドレス/エンドポイントの組み合わせ（ファンクションアドレス内のAD__EN、FARレジスタが1にセットされ、エンドポイントコントロール内のEP__EN、EPC_xレジスタが1にセットされる）に対し生成されるとき、1にセットされる。このビットはレジスタが読み込まれるときクリアされる。

OUT

NAKハンドシェイクがOUTトークンにตอบสนองして有効となったアドレス/エンドポイントの組み合わせ（FARレジスタ内のAD__ENが1にセットされ、EPC_xレジスタ内のEP__ENが1にセットされる）に対し生成されるとき、1にセットされる。もしNAKがオーバーラン状態の結果として生成されないなら、このビットはセットされない。このビットはレジスタが読み込まれるときクリアされる。

7. 1. 14 NAKマスキングレジスタ (NAKMSK)

セットされ、且つNAKEVレジスタ内の一致ビットがセットされると、MAEVレジスタ内のNAKビットはセットされる。クリアされても、NAKEVレジスタ内の一致ビットがNAKをセットする原因とはならない。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
NAKEVレジスタと同じビット構成							
0	0	0	0	0	0	0	0
r/w							

7. 2 送信レジスタ

7. 2. 1 FIFO警戒イベントレジスタ (FWEV)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RXFIFO3	RXFIFO2	RXFIFO1	-	TXFIFO3	TXFIFO2	TXFIFO1	-
RXWARN3-1			Reserved	TXWARN3-1			Reserved
0	0	0	-	0	0	0	-
r				r			-

TXWARN

送信警戒。個々の送信エンドポイントFIFOが、個々のTXC_xレジスタのTFWLビットにより指定される警戒限界に達すると、1にセットされ、個々のエンドポイントからの送信が有効となる。FIFOへの新しいデータの書き込みにより警戒状態がクリアされると、このビットはクリアされる。FIFOが消されるときまたは、送信が行われるとき、TXS_xレジスタ内のTX_DONEビットにより示される。

RXWARN

受信警戒。個々の受信エンドポイントFIFOが、個々のEPC_xレジスタのRFWLビットにより指定される警戒限界に達すると、1にセットされる。警戒状態がFIFOからのデータの読み込みによりクリアされるとき、またはFIFOが消去されるとき、このビットはクリアされる。

7. 2. 2 FIFO警戒マスクレジスタ (FWMSK)

セットされ且つFWEVレジスタ内の一致ビットがセットされると、MAEVレジスタ内のWARNがセットされる。クリアされても、FWEV内の一致ビットがWARNをセットする原因とはならない。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
FWEVレジスタと同じビット構成							
0	0	0	0	0	0	0	0
r/w							

7. 2. 3 フレーム番号上位バイトレジスタ (FNH)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
MF	UL	RFC	予約済		FN10-8		
1	1	0	-		0	0	0
r	r	w/r0	-		r		

FN

フレーム番号。これは最後のSOFパケットで受信された最新のフレーム番号である。もし有効なフレーム番号が前の変化の12060ビット回（フレーム長の最大、FLMAX、許容限度）以内に受信されないと、フレーム番号が人為的に増加される。もし2つの連続するフレームが取り損なうか正しくないならば、現在のFNは凍結され、有効なSOFパケットから次のフレーム番号をロードする。

もしFNHレジスタを読む前に、フレーム番号の下位バイトがファームウェアにより読み込まれると、ユーザーは、下位バイトが読み込まれたとき、このレジスタの3つのフレーム番号ビットの値を保持する今のバッファレジスタの内容を読み込む。それゆえに、フレーム番号から読み込むための正しいシーケンスはFNL、FNHである。フレーム番号下位バイト（FNL）レジスタを最初に直接読み込まない、FNHレジスタへの読み込み操作は、3つのフレーム番号のMSBの実際の値を読み込む。リセット時、FNは0にセットされる。

RFC

リセットフレームカウント。このビットが自身をクリアした後、このビットをセットすると、フレーム番号を0x000にリセットする。このビットは常に0で読み込まれる。

UL

アンロック フラグ。このビットは、少なくとも2つのフレームが予期するフレーム番号なしで受信されたこと、または無効なSOFが12060ビット回以内に受信されたことを示す。もしこのビットが設定されると、次の有効なSOFパケットからのフレーム番号がFNにロードされる。リセット時、このフラグは1にセットされる。

MF

取りそこなったSOFフラグ。有効な受信済SOF内のフレーム番号が予期した次の値に一致しないとき、またはSOFが12060ビット回以内に受信されなかったとき、このフラグはセットされる。リセット時、このフラグは1にセットされる。

7. 2. 4 フレーム番号下位バイトレジスタ (FNL)

上記のように、このレジスタはフレーム番号の下位バイトを保持する。一貫性を保証するため、このレジスタが読み込まれるまでにこの下位バイトを読み込むことは、FNHレジスタ内の3つのフレーム番号ビットをロックする原因となる。このフレーム番号を読み込むための正しいシーケンスはFNL、FNHである。リセット時、FNは0にセットされる。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
FN7-0							
0	0	0	0	0	0	0	0
r							

7. 2. 5 ファンクションアドレスレジスタ (FAR)

このレジスタはデバイスファンクションアドレスをセットする。さまざまなエンドポイント番号がエンドポイント制御レジスタ経由で独立して各エンドポイントにセットされる。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
AD_EN	AD6-0						
0	0	0	0	0	0	0	0
r/w	r/w						

AD

アドレス。このフィールドはデバイスにアドレスされた全トークンを送受信するために使用された7ビットファンクションアドレスを保持する。

AD_EN

アドレス有効。1にセットされると、ビットAD6-0がアドレス比較に使用される。(説明はセクション6. 2をみよ。)クリアされると、デバイスはUSBバス上で如何なるトークンにも応答しない。

注：もしエンドポイント制御レジスタ内のDEFビットがセットされると、エンドポイント0はデフォルトアドレスに応答する。

7. 2. 6 DMA制御レジスタ (DMACNTRL)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
DEN	IGNRXTGL	DTGL	ADMA	DMOD	DSRC2-0		
0	0	0	0	0	0		0
r/w	r/w	r/w	r/w	r/w	r/w		

DSRC

DMAソース。DMAソースビットフィールドは、DMAサポートを有効にするエンドポイント1から6のどれかを指定するバイナリエンコード化された値を保持する。このDSRCビットはリセット時クリアされる。テーブル7がDSRCビット設定の要約である。

テーブル 7. DSRCビット解説

DSRC			エンドポイント番号
2	1	0	
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	x	予約済

DMOD

DMAモード。DMA要求が出されるとき、このビットは指定される。リセット時は、DMA要求は送信完了で出される。送信エンドポイントEP1、EP3、EP5に対し、データはTX_DONEビット (新たな送信データでFIFOを満たすため) により示されるまで、完全に送信される。受信エンドポイントEP2、EP4、EP6に対し、これはRX_LASTビットにより示される。DMODビットがセットされると、個々のFIFO警戒がセットされる場合にDMA要求が出される。DMODビットはリセット時クリアされる。

要求状態がクリアされて初めて、送信エンドポイントからのDMA要求が活性化される。もしDMODが0にセットされると、ファームウェアが個々の送信状態 (TXSx) レジスタを読み込んで初めて、(こうしてTX_DONEビットがリセットされ、) または、もし送信コマンド (TXC x) レジスタ内のTX_LASTビットがファームウェアによりセットされるならば、DMA要求が出される。もしDMODが1にセットされると、エンドポイントへ転送させる十分なバイトのため、もしくは、TX_DONEビットが送信のためにセットされると、FIFO警戒状態がクリアして初めてDMA要求が出される。

要求状態がクリアされて初めて、受信エンドポイントからのDMA要求が活性化される。もしDMODが0にセットされていると、ファームウェアが個々の受信状態 (RXSx) レジスタを読み込んで初めて、こうしてRX_LASTビットをリセットし、または、エンドポイントFIFOが十分読み込むために空になっているならば、DMA要求が出される。もしDMODが1にセットされていると、FIFO警戒状態がクリアして初めて、もしくはエンドポイントFIFOが十分読み込むために空になっているならば、DMA要求が出される。

もしDMODが0にセットされ、エンドポイントとDMAが有効ならば、ファームウェアが個々のTXSxまたはRXSxレジスタを読み込んで初めてDMA要求が出される。こうしてTX_DONE/RX_LASTビットをリセットする。もしDMODが1にセットされ、エンドポイントとDMAが有効ならば、FIFO警戒状態がクリアして初めてDMA要求が出される。

ADMA

自動DMA。このビットをセットすると、選択された受信または送信エンドポイントを自動的に有効にする。DMAモードが有効になる前に、DMA制御 (DMACNTL) レジスタ内のDENビットがクリアされなければならない。NTGLを除いて、DMAイベント (DMAEV) レジスタ内のいずれかのビットがセットされて初めて、ADMAモードは機能する。DMAモードを開始するには、NTGLを除くDMAEVレジスタ内の全ビットがクリアされなければならない。受信オペレーションの場合、受信器は自動的に有効になる。パケットが受信されると、DMA経由でメモリへ転送される。送信オペレーションの場合、パケットデータがDMA経由でメモリから転送される。そのとき、送信器は自動で有効になる。ADMAオペレーションの場合、DMODビットは無視される。DMODが0にセットされると、全オペレーションが進行する。デバイスがADMAモードに入ると、いかなる現存するエンドポイントの状態も失われる。もしFIFOに既にデータがある場合、それは消去される。RX_EN、TX_ENの現存する状態もまた変化する可能性がある。

ADMAモードをクリアすることが、ADMAモードを抜けることとなる。DENは同時にまたは後にクリアされるだろう。もし同時なら、直ちにDMAオペレーションを停止し、ファームウェアが何らかの継続データを転送しなければならない。もし後なら、ADMAモードを抜ける前に、如何なる現在のDMAオペレーションも完了する。(更なる情報は、DMAEVレジスタ内のDSHLTビットの説明を参照せよ。)

DTGL

DMAトグル。このビットはADMAオペレーションの初期状態を決定するために使用される。もしDATA1オペレーションで開始する場合、ファームウェアが最初にこのビットを1にセットし、さらにもしDATA0オペレーションで開始する場合、ファームウェアが最初にこのビットを0にセットする。このビットへの書込みはDMAEVレジスタ内のNTGLビットも更新する

IGNRXTGL

RXトグルを無視する。もしこのビットがセットされると、DMAEVレジスタ内のNTGLビットと個々のRXSxレジスタ内のTOGGLEビットの比較が、受信オペレーションの間、無視される。この場合、受信オペレーションの間、両ビットの不一致はADMAオペレーションを停止しない。もしこのビットがセットされていないならば、2つのトグルビットの不一致の場合、ADMAは停止する。リセット後、このビットは0にセットされる。

DEN

DMA有効。セット時、このビットはDMAモードを有効にする。もしこのビットがリセットされ、現在のDMAサイクルが完了される (または、まだ出力されなかった) 場合、DMA転送は終了される。デバイスがシリアルインターフェースモード (MODE1端子がハイに接続される) で作動するとき、このような設定をすると、このビットは無効である。リセット時、このビットはクリアされる。

7.2.7 DMAイベントレジスタ (DMAEV)

このレジスタ内のビットはADMAモードで使用される。もしクリアされないと、例えばデバイスがADMAモードに設定されていなくとも、ビット0から3は割り込み要因となる。これらのビット全てがクリアされるまで、ADMAモードは開始されない。逆にこれらのビットのいずれかがセットされると、ADMAモードは自動的に終了される。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済		NTGL	予約済	DSIZ	DCNT	DERR	DSHLT
-		0	-	0	0		0
-		r	-	CoW	CoW	CoW	CoW

DSHLT

DMAソフトウェア停止。ADMAオペレーションがファームウェアにより停止されたとき、このビットはセットされる。DMAエンジンがなんらかの必要なクリーンアップオペレーションを完了した後に、このビットはセットされ、アイドル状態に戻る。次の条件が適用される。

- ・もしADMAビットがクリアされる（但しDENはセットされたまま）場合。この場合、現在のオペレーション（あるとすれば）は終了される。これは、FIFO内の何らかのデータが送信されるかまたはDMA（もし受信したなら）によりメモリへ転送されたということを意味する。これが起こった後にのみ、DSHLTビットがセットされる。DENがセットされたままなので、それは後にクリアする必要があるかもしれない、ということに注意すること。これは通常DSHLT割込みハンドラ内部で行われる。
- ・もしDENビットがクリアされる場合。（ADMAがセットされたままでもよいし、同時にクリアされても良い。）これは全DMAオペレーションを停止し、直ちにDSHLTビットをセットする。もしFIFO内にデータがあるなら、送信せずに保持される。
- ・もしファームウェアがFIFO（もし受信したなら）を読み込もうとした場合、またはFIFO（もし送信するなら）へ書き込みする場合。これは全DMAオペレーションを停止し、直ちにDSHLTビットをセットする。このオペレーションがFIFOを間違いだらけにし、幾つかのデータを失う恐れがあるので、読み込みまたは書き込みオペレーションは成功しないかもしれない。
- ・もしファームウェアが一致するEPCx、TXCx、RXCx、TXSx、RXSxレジスタから読み込み/書き込みしようとした場合（DMACNTRLレジスタ内のDEN、ADMA共にセットされているとき）。これは全DMAオペレーションを停止し、直ちにDSHLTビットをセットする。読み込みまたは書き込みオペレーションは無効とされる。

DERR

DMAエラー。このビットはパケットが正しく受信されなかったか、送信されなかったことを示すためにセットされる。パケット受信/送信後に、もしRXSx/TXSxレジスタ内のTOGGLEビットがDMAEVレジスタ内のNTGLビットに等しくないならば、それもまたセットされる。（NTGLビットがパケット転送のため状態を変える前に、この比較が行われることに注意すること。）受信する場合、DERRはRX_ERRに等しい。送信する場合、それはTX_DONE（セット）とACK_STAT（非セット）に等しい。もしDMAエラーカウント（DMAERR）レジスタ内のAEHビットがセットされると、DMAERRレジスタ内のDMAERRCNTがクリアされるまで、DERRはセットされない。そして、別のエラーが輸出される。エラーはDMAERRレジスタ内で指定されたものとして処理される。

DCNT

DMAカウント。DMAカウント（DMACNT）レジスタが0になると、このビットはセットされる。（更なる情報はDMACNTレジスタを見よ。）

DSIZ

DMAサイズ。このビットはDMA受信オペレーションを意味するだけである。パケットがFIFOの全長以下で受信されたことを示す。これは通常マルチパケット転送の終わりを示す。

NTGL

次のトグル。このビットは次のデータパケット送出（送信する場合）のトグル状態、または次のデータパケット（受信する場合）の予期されるトグル状態を決定する。このビットはDMACNTRLレジスタのDTGLビットに書き込みすることで初期化される。次に、それは送出された、またはDSRC2-0によって現在選択されたエンドポイントに送信または受信された全てのパケットと共に状態を変える。もしDTGL書き込みオペレーションがビット更新オペレーションと共に同時に起こると、書き込みが前に起こる。もし送信するならば、ADMAオペレーションが進行中のときはいつでも、DTGLビットがTXCxレジスタ内の一致するTOGGLEビットを無効にする。この方法で、交互に起きるデータトグルがUSB上に正しく発生する。

それは割り込みを発生するために使用されないため、このイベントに対し一致するマスクビットは無い、ということに注意すること。

7.2.8 DMAマスクレジスタ (DMAMSK)

このレジスタ内で1にセットされたいずれかのビットが、DMAEVレジスタ内で個々のイベントが発生するとき、ALTEVレジスタ内のDMAビットの自動設定を有効にする。さもないとDMAビットは無効となる。ビット0から3の説明についてはDMAEVレジスタを見よ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
				DSIZ	DCNT	DERR	DSHLT
		-		0	0		0
		-		r/w	r/w	r/w	r/w

7. 2. 9 ミラーレジスタ (MIR)

これは読み専用のレジスタである。読みをしても、それが指すTXSxまたはRXSxレジスタの状態を変更しない。ファームウェアはチャンネルの状態を自由に検査できる。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
STAT							
-							
r							

STAT

状態。このフィールドはDMACNTRLレジスタ内のDSRC2-0フィールドにより送信器または受信器の状態ビットを反映する。(DMAは活性または有効である必要は無い) それはTXSxまたはRXSxとそれぞれ一致する。

7. 2. 10 DMAカウントレジスタ (DMACNT)

このレジスタはADMAオペレーションのための最大カウントを指定できる。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
DCOUNT7-0							
-							
r/w							

DCOUNT

DMAカウント。このフィールドは、それが0に達して初めて、DMAオペレーションの完了で減らされる。そして、次のDMAオペレーションが首尾よく完了されたときのみ、DMAイベントレジスタ内のDCNTビットはセットされる。このレジスタはアンダーフローしない。受信オペレーションに対し、パケットが首尾よく受信され、さらにDMA経由でメモリへ転送される時、このカウントは減らされる。送信オペレーションに対し、パケットがDMA経由でメモリから転送され、さらに首尾よく送信される時、このカウントは減らされる。

DCOUNTは次のようにセットされるべきである： $DCOUNT = (\text{転送するためのパケット番号}) - 1$

もしDMACNT書き込みオペレーションが減少オペレーションで同時に発生するならば、書き込みはその前に起こる。

7. 2. 11 DMAエラーレジスタ (DMAERR)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
AEH	DMAERRCNT						
0	0	0	0	0	0	0	0
r/w	r/w						

DMAエラーカウンタ。自動エラー処理特性と組み合わせられ、このカウンタは、ADMAモードが停止される前に連続するバスエラーの最大数を定義する。ファームウェアは7ビットカウンタをプリセット値に設定できる。一旦ADMAが開始すると、バスエラーが検出される度に、カウンタはプリセット値から1減らす。首尾よく処理を行う毎にカウンタをプリセット値に戻す。ADMAモードが停止されると、カウンタはまたプリセット値に戻される。

もしカウンタが0に達し、且つ別の誤ったパケットが検出されると、DMAイベントレジスタ内のDERRビットはセットされる。DERR設定の影響に関する更なる情報は、セクション7. 2. 7を参照のこと。このレジスタはアンダーランできない。

DMAERRCNTは次のように設定されるべきである： $DMAERRCNT = 3D$ (可能な転送試行の最大数) - 1

ADMAが非活性のとき、このレジスタへの書き込みアクセスのみが可能である。さもなければ、それは無視される。このレジスタから読みすると、ADMAが活性の間は現在のカウンタ値を返す。ADMAが非活性の間それを読みむと、プリセット値を返す。もしAEHがセットされる場合のみ、カウンタは減らされる。(自動エラー処理起動)

AEH

自動エラー処理。このビットは現在の処理モードにより2つの異なる意味をもつ。

・非アイソクロナスモード

このモードはバルク、割込み、コントロール転送に対して使用される。このモードでAEHをセットすると、CRCまたはビットスタッフィングエラーを含むパケットの自動処理を可能にする。もしこのビットが送信オペレーション中にセットされると、デバイスは自動的にFIFOを再読み込みし、ホストがACKを返さなかったパケットを再度組み込む。もしこのビットがクリアされると、自動的にエラー処理が停止する。

もしこのビットが受信オペレーション中にセットされると、エラー受信されたパケット (DMAEVレジスタ内のDERRビット記述子で指定される) は、パケットが再度受信されるように、使用されているFIFOから自動的に消去される。もしこのビットがクリアされると、自動的にエラー処理が停止する。

・アイソクロナスモード

このビットをセットすると、デバイスはエラー受信されたパケット (DMAMSKレジスタ内のDERRビット記述子で指定される) を無視することが可能となる。もしこのビットが受信オペレーション中にセットされると、デバイスは自動的に消去され、次のパケットを受信するため受信FIFOをリセットする。誤ったパケットは無視され、DMA経由で転送されない。もしこのビットがクリアされると、自動的にエラー処理が停止する。

7. 2. 12 起動レジスタ (WKUP)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
FHT	HOS	WKMODE	予約済	ENUC	ENUSB	PNDUC	PNDUSB
0	0	0	-	1	1	1	1
w/r0	w/r	w/r	-	w/r	w/r	CoW	CoW

PNDUSB

USB起動中。このビットはデバイスがUSB活性により起動されていることを示す。それはまた差し迫った起動割込み要求の信号でもある。

PNDUSBビットはこの位置に0を書き込むことで、ホストによりクリアされねばならない。ハードウェアリセットがこのビットをセットする。

PNDUC

マイクロコントローラ起動中。このビットはデバイスがマイクロコントローラアクセスにより起動されていることを示す。それはまた差し迫った起動割込み要求の信号である。PNDUCビットはこの位置に0を書き込むことで、ホストによりクリアされねばならない。ハードウェアリセットがこのビットをセットする。

ENUSB

USB有効。1にセットされると、このビットはデバイスがUSB活性の検出で起動することを可能にする。

ENUC

マイクロコントローラ有効。1にセットされると、マイクロコントローラがデバイスをアクセスするとき、このビットはデバイスが起動することを可能にする。

WKMODE

起動モード。有効な起動イベントが発生するとき (下記のような)、デバイスが起動割込み (有効なとき) を発生した後、このビットは時間間隔を選択する。

0 : 直ちに起動割込みを発生

1 : 起動遅延後に起動割込みを発生

HOS

サスペンド時停止。このビットがセットされるとき、デバイスは、それがサスペンド状態にセットされるとすぐにホールドモードに入る。

この位置に1が書き込まれると、ノードが既にサスペンド状態になっている間は無視される。

FHT

強制停止。ノードが繋がっていない時 (MCNTRLレジスタ内のNATが0に設定)、このビットをセットすると、ノードを強制的にホールドモードにする。

ノードが繋がっている時 (NATが1に設定)、この位置に1を書き込んでも無視される。

7. 2. 13 エンドポイント制御0レジスタ (EPC0)

このレジスタはマンドイトリ (命令) エンドポイント制御0を制御する。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
STALL	DEF	予約済		EP3-0			
0	0	-		0	0	0	0
r/w	r/w	-		r, 0へ結線される			

EP

エンドポイント。このフィールドは4ビットエンドポイントアドレスを保持する。エンドポイント0に対し、これらのビットは0000_bへ結線される。

DEF

デフォルトアドレス。セットされると、デバイスはFAR6-0/EP03-0フィールドの内容に関わらず、デフォルトアドレスで応答する。INパケットがエンドポイントから送信されるとき、DEFビットは自動的にクリアされる。このビットはデフォルトアドレスから割り当てられたアドレスへの過渡期に助けとなる。バスエヌマレーション (列挙) の間、デフォルトアドレス000 0000 0000_bから割り当てられたアドレスへの推移はSET_ADDRESS制御シーケンスの間では発生しない。これは制御シーケンスを完了するために必要である。しかしながら、他の制御シーケンスが直ちにSET_ADDRESSコマンドに続くとき、このシーケンスがエラーを避けるために終了した後、アドレスは直ちに変更しなければならない。

USBリセット時、ファームウェアはセットアップのため10mSを有し、FARレジスタへ0x80、EPC0レジスタへ0x00を書き込まねばならない。SET_ADDRESSコマンドの受信時、ファームウェアはEPC0レジスタへ0x40、FARレジスタへ0x80 <assigned_function_address>を書き込まねばならない。そのとき、SET_ADDRESS制御シーケンスの状態フェーズを完了するため、ゼロ長INパケットを待ち行列にしなければならない。

STALL

このビットをセットすると、次の条件下でチップにSTALLハンドシェイクを発生する原因となる。

1. 送信FIFOが有効で、INトークンが受信された。
2. 受信FIFOが有効で、OUTトークンが受信された。

注：このビットがセットされても、SETUPトークンはSTALLハンドシェイクを発生する原因とはならない。STALLハンドシェイクを送信する場合、個々の受信/送信状態レジスタ内のRX_LASTとTX_DONEビットはセットされる。

7. 2. 14 送信状態0レジスタ (TXS0)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済	ACK_STAT	TX_DONE	TCOUNT4-0				
-	0	0	0	0	0	0	0
-	CoR	CoR	r				

TCOUNT

送信カウント。このビットはFIFO内の有効な空バイト数を示す。このフィールドはエンドポイント0に対し、8以上ではあってはならない。

TX_DONE

送信終了。セットされると、このビットはパケットが送信完了したことを示す。このレジスタを読み込むとそれはクリアされる。

ACK_STAT

アクノリッジ (承認) 状態。このビットは、前に送ったパケットに対しホストから受信されたACKの状態を示す。

TX_DONEが1にセットされるとき、このビットは解釈されるはずである。ACKが受信されたときそれはセットされる。そうでなければ、それはクリアされたままである。レジスタが読み込まれると、このビットもまたクリアされる。

7. 2. 15 送信コマンド0レジスタ (TXC0)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済			IGN_IN	FLUSH	TOGGLE	Reserved	TX_EN
-			0	0	0	-	0
-			r/w	r/w HW	r/w	-	r/w HW

TX_EN

送信許可。このビットはFIFOからのデータ送信を有効にする。INトークンへの応答でシングルパケットまたはSTALLハンドシェイクを送信した後、それはチップによりクリアされる。それはパケット送信を開始するためにファームウェアによりセットされねばならない。受信コマンド0 (RXC0) 内のRX_ENビットはこのビットの上位である。例えば、RX_ENがセットされると、TX_ENビットは、RX_ENがリセットされるまで無視される。FIFOにいかなるデータも書き込むことなく、ゼロ長パケットがこのビットをセットすることにより示される。

TOGGLE

このビットは、パケット送信時に使用されるPIDを指定する。値0ではDATA0 PID発生の原因となり、一方、値1ではDATA1 PID発生の原因となる。このビットはハードウェアにより変えられない。

FLUSH

このビットに1を書込むと、制御エンドポイントFIFOから全データを消去し、エンドポイントをアイドル状態にリセットし、FIFO読み込みと書き込みポイントをクリアし、さらに自身をクリアする。もしエンドポイントがUSB上にデータを転送するためにFIFO0を使用しているならば、転送終了後まで消去が遅延される。このビットはリセット時クリアされる。それはRXC0レジスタ内のFLUSHビットと同等である。

IGN_IN

INトークンを無視する。このビットがセットされると、エンドポイントは構成 (コンフィグレーション) されたアドレスに向けられたいかなるINトークンも無視するだろう。

7. 2. 16 送信データ0レジスタ (TXD0)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TXFD							
-							
r/w							

TXFD

送信FIFOデータバイト。データ処理の説明についてはセクション6. 2. 2の“双方向制御エンドポイントFIFO0オペレーション”を見よ。ファームウェアはパケットペイロードデータのみの書き込みをすることになっている。PIDとCRC16は自動的に作られる。

7. 2. 17 受信ステータス0レジスタ (RXS0)

これは双方向制御エンドポイント0のための受信状態レジスタである。ゼロ長OUT/SETUPパケットを受信した後、SETUPパケットを受信するための、ハードウェアにおけるこのレジスタの2つのコピーである。一つはゼロ長パケットの受信状態を保持し、もう一つはデータ付きの次のSETUPパケットの状態を保持する。もしゼロ長パケットがSETUPパケットに続くならば、このレジスタの最初の読み込みはゼロ長パケットの状態を示し、(RX_LASTと共に1にセットし、RCOUNTが0にセットされる) さらに、第二の読み込みはSETUPパケットの状態を示す。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済	SETUP	TOGGLE	RX_LAST	RCOUNT3-0			
-	0	0	0	0	0	0	0
-	CoR	CoR	CoR	r			

RCOUNT

受信カウント。RX FIFO内の現在のバイト数を示す。このフィールドはエンドポイント0に対し8以上になってはならない。

RX_LAST

受信最後のバイト。首尾よく受信オペレーションを完了してACKが送られたことを示す。このビットはゼロ長パケットにより変化しない。このレジスタが読み込まれるとクリアされる。

TOGGLE

パケットを受信するとき、このビットは使用されたPIDを指定する。値0は首尾よくいった最後の受信パケットがDATA0 PIDを持っていたことを示し、一方、値1はこの受信パケットがDATA1 PIDを持っていたことを示す。このビットはゼロ長パケットにより変化しない。このレジスタが読み込まれるとそれはクリアされる。

SETUP

このビットはセットアップパケットが受信されたことを示す。このビットはゼロ長パケットにより変化しない。このレジスタが読み込まれるとクリアされる。

7. 2. 18 受信コマンド0レジスタ (RXCO)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済				FLUSH	IGN_SETUP	IGN_OUT	RX_EN
-				0	0	0	0
-				r/w HW	r/w	r/w	r/w

RXEN

受信有効。全データパケットが受信された後、またはSTALLハンドシェイクがOUTトークンに回答して返されると、OUTパケット受信が有効になる。データ受信を再度有効にするために1が書き込まれなければならない。SETUPパケットの受信は常に有効である。有効なSETUPパケットが介在する非SETUPトークンと共に受信される連続SETUPパケット（与えられたエンドポイントに対し）の場合、エンドポイントコントローラは新しいSETUPパケットを捨て、ACKハンドシェイクを返す。もしなんらかの他の理由がSETUPパケットの受け入れについてエンドポイントコントローラの妨害をするならば、それはハンドシェイクを生み出す必要は無い。これは最初のSETUPトークンのACKがホストにより失われた状態からの回復を認める。

IGN_OUT

OUTトークンを無視する。このビットがセットされると、エンドポイントは構成（コンフィグレーション）されたアドレスに指定された如何なるOUTトークンも無視する。

IGN_SETUP

SETUPトークンを無視する。このビットがセットされると、エンドポイントは構成（コンフィグレーション）されたアドレスに指定された如何なるSETUPトークンも無視する。

FLUSH

このビットへ1を書き込むと、制御エンドポイントFIFOからの全データを消去し、アイドル状態へエンドポイントをリセットし、FIFO読みみと書き込みポイントをクリアし、さらに自身をクリアする。もしエンドポイントがUSB上にデータを転送するために現在FIFOを使用しているならば、転送完了後まで消去が遅らされる。このビットはリセット時クリアされる。このビットはTXCOレジスタ内のFLUSHと等価である。

7. 2. 19 受信データ0レジスタ (RXDO)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RXFD							
-							
r/w							

RXFD

受信FIFOデータバイト。データ処理の説明についてはセクション6. 2. 2の“双方向制御エンドポイントFIFOオペレーション”を見よ。ファームウェアはパケットペイロードデータのみ読み込むことになっている。PIDとCRC16は入ってくるデータストリームから自動的に取り除かれる。

7. 2. 20 エンドポイント制御Xレジスタ (EPC1からEPC6)

各単方向エンドポイントは以下のように定義されたビットを含むEPCxレジスタを持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
STALL	予約済	ISO	EP_EN	EP3-0			
0	-	0	0	0	0	0	0
r/w	-	r/w	r/w	r/w			

EP

エンドポイント。このフィールドは4ビットエンドポイントアドレスを保持する。

EP_EN

エンドポイント有効。このビットがセットされると、EP3-0フィールドは、FARレジスタ内のAD6-0フィールドと共にアドレス比較で使用される。説明についてはセクション6. 2を見よ。クリアされると、エンドポイントはUSBバス上で如何なるトークンにも応答しない。

注：FARレジスタ内のAD_ENはデバイスに対してグローバルアドレス比較を可能にする。もしクリアされると、EP_EN状態に関係なく、如何なるアドレスにもデバイスは応答しない。

ISO

アイソクロナス。このビットが1にセットされると、エンドポイントはアイソクロナスとなる。これは、もしエンドポイントが有効だが準備できていない場合、送られるNAKがないことを含意する。例：例えばINトークンが受信される場合、送信するための有効なデータがFIFO内に無い。または、もしOUTトークンが受信される場合、アイソクロナス転送のためのUSBハンドシェイクが無い場合、FIFOが満杯である。

STALL

このビットをセットすると、チップが次の条件下でSTALLハンドシェイクを発生する原因となる。

1. 送信FIFOが有効で、且つINトークンが受信される。
2. 受信FIFOが有効で、且つOUTトークンが受信される。

このビットがセットされると、SETUPトークンに回答してSTALLハンドシェイクを生成しない。

7. 2. 21 送信状態Xレジスタ (TXS1、TXS2、TXS3)

3つの送信エンドポイントFIFOの各々は、以下に定義されたビットを含む送信状態レジスタを持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TX_URUN	ACK_STAT	TX_DONE	TCOUNT4-0				
0	0	0	0	0	0	0	0
CoR	CoR	CoR	r				

TCOUNT

送信カウント。このビットはFIFO内で有効な空バイト数を示す。もしこのカウントが31以上の場合、値31が報告される。

TX_DONE

送信終了。セットされると、このビットはエンドポイントがUSBパケットに回答したことを示す。3つの条件がこのビットをセットする原因となる。

1. データパケットが非ISOオペレーションに伴うINトークンへの応答で送信を完了した。
2. エンドポイントがINトークンへの応答でSTALLハンドシェイクを送った。
3. 予定されたISOフレームが送信されたか、捨てられた。

このレジスタが読み込まれると、このビットはクリアされる。

ACK_STAT

承認状態。TX_DONEがセットされると、このビットが解釈される。その機能はISO (EPCxレジスタ内のISOがセットされる) または非ISOオペレーション (ISOがセット) が使用されているかどうかにより異なる。非ISOオペレーションでは、このビットは、以前に送ったパケットに対するACKについての承認 (ホストから) 状態を示す。ACKが受信されると、このビット自身がセットされる。さもないとそれはクリアされる。

ISOオペレーションに対し、もしフレーム番号LSBの一致（セクション7. 2. 22の“IGN_ISOMSK “ビットを見よ。）が起こるとこのビットはセットされ、データがINTトークンにตอบสนองして送られる。そうでなければ、このビットはリセットされて、FIFOが消去され、さらにTX_MODEがセットされる。このレジスタが読み込まれるとき、このビットもまたクリアされる。

TX_URUN

送信FIFOアンダーラン。もし送信FIFOが送信中に空になると、このビットはセットされ、FIFOへ新しいデータは書き込まれない。もしそうならば、メディアアクセスコントローラ（MAC）は強制的にEOPに続くビットスタンプエラーとされる。このレジスタが読み込まれるとき、このビットもまたクリアされる。

7. 2. 22 送信コマンドXレジスタ（TXC1、TXC2、TXC3）

送信エンドポイント（1, 3, 5）のそれぞれは以下に定義されたビットを含む送信コマンドレジスタを持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
IGN_ISOMSK	TFWL1-0		RFF	FLUSH	TOGGLE	LAST	TX_EN
0	0	0	0	0	0	0	0
r/w	r/w		r/w HW	r/w HW	r/w	r/w HW	r/w HW

TX_EN

送信有効。このビットはFIFOからのデータ送信を有効にする。シングルパケットを送信した後、またはINTトークンへの応答のSTALLハンドシェイクの後に、それはチップによりクリアされる。それはパケット送信を開始するためにファームウェアによりセットされなければならない。

LAST

このビットをセットされると、全パケットがFIFOに書き込まれたことを示す。実際の送信が発生している間、これはFIFOへのストリーミングデータに対し特に使用される。もしLASTビットがセットされず、送信中に送信FIFOが空になると、EOPに続くスタンプエラーがバス上に強制的に出される。FIFOへなんのデータも書込むことなく、このビットをセットすることによりゼロ長パケットが示される。このビットがクリアされる前に、送信ステートマシンのペイロードデータ、CRC16、EOP信号を送信する。

TOGGLE

このビットの機能はISO（EPCxレジスタ内のISOがセットされる）または非ISOオペレーション（ISOがリセットされる）が使用されるかどうかにより異なる。非ISOオペレーションでは、パケットを送信するとき、使用されたPIDを指定する。値0ではその結果DATA0 PIDが生成され、一方、値1ではその結果DATA1 PIDが生成される。ISOオペレーションでは、このビットとフレームカウンタ（FNL0）のLSBは、フレーム番号を指定することをパケットのプレキューイング（前待ち行列）に可能にするTX_ENビットのマスクとして影響する。即ち、もしFNLレジスタ内のビット0がTOGGLEをセットするだけで、送信は有効になる。この条件が真である間、もしINTトークンが受信されないならば、FIFOの内容は次のSOFと共に消される。もしエンドポイントがISOにセットされると、データは常にDATA0 PIDと共に送信される。このビットはハードウェアにより変化しない。

FLUSH

このビットに1を書き込むと、一致する送信FIFOから全データが消され、エンドポイントをアイドル状態へリセットし、FIFO読み込みと書き込みポイントの両方をクリアする。もしMACが送信のためにFIFOを現在使用しているならば、データは送信が完了した後に消される。データ消去後、このビットはハードウェアによりリセットされる。

REF

FIFO再充填。LASTビットをセットすると、自動的にバッファへ送信読み込みポインタ（TXRP）を保存する。REFビットがセットされると、保存されたTXRPはTXRPへ再読み込まれる。もしホストから受信されるACKが無い場合、これはユーザーに最後の処理を繰り返すことを可能とする。もしMACが送信するためにFIFOを現在使用しているならば、送信完了後、TXRPは再読み込まれるだけである。再読み込み後、このビットはハードウェアによりリセットされる。

TFWL

送信FIFO警戒限界。これらのビットは、アンダーラン状態が発生する前に、個々のFIFOからさらにどれだけのバイトが送信可能かを指定する。もしFIFOに残っているバイト数が等しいかまたは指定された警戒限界以下だと、FWEVレジスタ内のTXWARNビットがセットされる。このビットをセットすることを原因とする割り込みを避けるため、送信開始の前にFIFOが満たされている間、エンドポイントからの送信が有効であるとき、(TXCxレジスタ内のTX_ENxがセットされる) TXWARNがセットされるだけである。

テーブル 8. 送信FIFO警戒限界の設定

TFWL		FIFOに残っているバイト数
1	0	
0	0	TFWL 無効
0	1	≤ 4
1	0	≤ 8
1	1	≤ 16

IGN_ISO MSK

ISOマスクを無視する。エンドポイントがアイソクロナスにセットされる場合のみ、このビットは影響する。もしセットされると、このビットはTOGGLEビットのオールタネート（交互）の機能を持つ指定のフレーム番号をロックできなくする。このように、データは次のINTトークンの受信と同時に送信される。もしリセットされると、データはFNL0がTOGGLEと一致するとき送信されるだけである。このビットはリセット時クリアされる。

7. 2. 23 送信データXレジスタ (TXD1、TXD2、TXD3)

各送信FIFOは以下に定義されるビットを含む一つの送信データレジスタを持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TXFD							
-							
w							

TXFD

送信FIFOデータバイト。エンドポイントFIFOデータ処理の説明についてはセクション6. 2. 2の“送信エンドポイントFIFOオペレーション (TXFIFO1、TXFIFO2、TXFIFO3)”を見よ。ファームウェアはパケットペイロードデータのみを書き込むことになっている。PIDとCRC16が自動的に送信データストリームに挿入される。

7. 2. 24 受信状態Xレジスタ (RXD1、RXD2、RXD3)

各受信エンドポイントパイプ (2, 4, 6) は次に定義されるビットを含む一つの受信状態レジスタを持つ。ゼロ長パケットが受信された後、SETUPパケットの受信を可能にするため、ハードウェアがこのレジスタの2つのコピーを含む。一つはゼロ長パケットの受信状態を保持し、もう一つはデータと共に次のSETUPパケットの状態を保持する。もしゼロ長パケットがSETUPパケットに続くなら、このレジスタの最初の読み込みはゼロ長パケットの状態を示し、第二の読み込みはSETUPパケットの状態を示す。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TXFD							
-							
w							

RCOUNT

受信カウント。このビットはエンドポイント受信FIFO内の現在のバイト数を示す。もしこのカウントが15以上ならば、値15が報告される。

RX_LAST

受信の最後。非アイソクロナスモードでは、このビットは、ACKが首尾よくいった受信オペレーションの完了時に送られたことを示す。アイソクロナスモードでは、それはパケットの終了 (EOP) の検出を示す。このレジスタが読み込まれるとこのビットはクリアされる。

TOGGLE

このビットの機能はISO (EPCxレジスタ内のISOがセットされる) または非ISOオペレーション (ISOがリセットされる) が使用されるかどうかにより異なる。非ISOオペレーションでは、値0は最後の首尾よく行った受信パケットがDATA0 PIDを持つことを示す。一方、値1はこのパケットがDATA1 PIDを持つことを示す。ISOオペレーションでは、パケットが首尾よくこのエンドポイントを受信した後に、このビットはフレーム番号 (FNL0) のLSBを反映する。このビットはRXSxレジスタを読み込みことにより0にリセットされる。

SETUP

このビットは、セットアップパケットが受信されたことを示す。このレジスタが読み込まれるとそれはクリアされる。

RX_ERR

受信エラー。セットされると、このビットはビットスタッフィングまたはCRCのようなメディアエラーを示す。もしこのビットがセットされると、ファームウェアは個々のFIFOを消去しなければならない。

7. 2. 25 受信コマンドXレジスタ (RXC1、RXC2、RXC3)

各受信エンドポイント (2, 4, 6) は下記のビット定義済みのビットを含む1つの受信コマンドレジスタを持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
予約済	RFLW1-0		予約済	FLUSH	IGN_SETUP	予約済	RX_EN
-	0	0	-	0	0	-	0
-	r/w		-	r/w	r/w	-	r/w

RX_EN

受信有効。各データパケットが受信された後、もしくはSTALLハンドシェイクがOUTトークンへの応答を返されたとき、OUTパケットは受信できない。このビットはデータ受信を再度有効にするため1を書かなくてはならない。SETUPパケットは常に受信可能である。有効なSETUPパケットが他の非SETUPトークンを介入せず受信されてきた連続するSETUPパケット (与えられたエンドポイントに対する) の場合、受信ステートマシンは新しいSETUPパケットを捨て、ACKハンドシェイクを返す。もし、他の理由で、受信ステートマシンがSETUPパケットを受けることができない場合、発生されるハンドシェイクはない。

IGN_SETUP

SETUPトークンを無視する。このビットがセットされると、エンドポイントが構成 (コンフィグレーション) されたアドレスに指定された如何なるSETUPトークンも無視する。

FLUSH

このビットに1が書き込まれると、一致する受信FIFOから全データを消去し、そしてエンドポイントをアイドルステートへリセットし、さらにFIFO読み込み及び書き込みポインタの両方をリセットする。もしMACがデータ受信のため現在FIFOを使用しているならば、受信が完了するまで消去は遅らされる。

RFLW1-0

受信FIFO警戒制限。オーバーラン状態が発生する前に、これらのビットは個々のFIFOに受信可能なビットがさらにどれだけあるかを指定する。もしFIFO内に残っている空バイト数が等しいか選択した警戒限界以下ならば、FWEVレジスタ内のRXWARNビットはセットされる。

テーブル 9. 受信FIFO警戒限界の設定

RFLW Bits		FIFO内に残るバイト数
1	0	
0	0	RFLW 無効
0	1	≤ 4
1	0	≤ 8
1	1	≤ 16

7. 2. 26 受信データXレジスタ (RXD1、RXD2、RXD3)

3つの受信エンドポイント FIFO の各々は以下に定義されるビットを含む受信データレジスタを持つ。

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
RXFD							
-							
r							

RXFD

受信FIFOデータバイト。エンドポイントFIFOデータ処理の説明については、セクション6. 2. 2の“受信エンドポイントFIFOオペレーション (RXFIFO1、RXFIFO2、RXFIFO3)”を見よ。

ファームウェアはパケットペイロードデータのための読み込みをすることになっている。PIDとCRC16が受信ステートマシンにより終了される。

7. 3 レジスタマップ

テーブル10は全デバイスレジスタ、それらのアドレス、さらにその略語の一覧表である。

Table 10. USBN9603/4 メモリマップ

アドレス	レジスタ ニーモニック	レジスタ名	
0x00	MCNTRL	Main Control	主制御
0x01	CCONF	Clock Configuration	クロック コンフィグレーション
0x02	予約済		
0x03	RID	Revision Identifier	変更履歴識別子
0x04	FAR	Function Address	ファンクション アドレス
0x05	NFSR	Node Functional State	ノード ファンクショナル状態
0x06	MAEV	Main Event	主イベント
0x07	MAMSK	Main Mask	主マスク
0x08	ALTEV	Alternate Event	交互に起きるイベント
0x09	ALTMSK	Alternate Mask	交互に起きるマスク
0x0A	TXEV	Transmit Event	送信イベント
0x0B	TXMSK	Transmit Mask	送信マスク
0x0C	RXEV	Receive Event	受信イベント
0x0D	RXMSK	Receive Mask	受信マスク
0x0E	NAKEV	NAK Event	NAKイベント
0x0F	NAKMSK	NAK Mask	NAKマスク
0x10	FWEV	FIFO Warning Event	FIFO警戒イベント
0x11	FWMSK	FIFO Warning Mask	FIFO警戒マスク
0x12	FNH	Frame Number High Byte	フレーム番号上位バイト
0x13	FNL	Frame Number Low Byte	フレーム番号下位バイト
0x14	DMACNTRL	DMA Control	DMA制御
0x15	DMAEV	DMA Event	DMAイベント
0x16	DMAMSK	DMA Mask	DMAマスク
0x17	MIR	Mirror	ミラー

アドレス	レジスタ 二一モニツカ	レジスタ名	
0x18	DMACNT	DMA Count	DMA カウント
0x19	DMAERR	DMA Error Count	DMA エラーカウント
0x1A		予約済	
0x1B	WKUP	Wake-Up	起動
0x1C - 0x1F		予約済	
0x20	EPC0	Endpoint Control 0	エンドポイントコントロール 0
0x21	TXD0	Transmit Data 0	送信データ 0
0x22	TXS0	Transmit Status 0	送信状態 0
0x23	TXC0	Transmit Command 0	送信コマンド 0
0x24		予約済	
0x25	RXD0	Receive Data 0	受信データ 0
0x26	RXS0	Receive Status 0	受信ステータス 0
0x27	RXC0	Receive Command 0	受信コマンド 0
0x28	EPC1	Endpoint Control 1	エンドポイントコントロール 1
0x29	TXD1	Transmit Data 1	送信データ 1
0x2A	TXS1	Transmit Status 1	送信状態 1
0x2B	TXC1	Transmit Command 1	送信コマンド 1
0x2C	EPC2	Endpoint Control 2	エンドポイントコントロール 2
0x2D	RXD1	Receive Data 1	受信データ 1
0x2E	RXS1	Receive Status 1	受信ステータス 1
0x2F	RXC1	Receive Command 1	受信コマンド 1
0x30	EPC3	Endpoint Control 3	エンドポイントコントロール 3
0x31	TXD2	Transmit Data 2	送信データ 2
0x32	TXS2	Transmit Status 2	送信状態 2
0x33	TXC2	Transmit Command 2	送信コマンド 2
0x34	EPC4	Endpoint Control 4	エンドポイントコントロール 4
0x35	RXD2	Receive Data 2	受信データ 2
0x36	RXS2	Receive Status 2	受信ステータス 2
0x37	RXC2	Receive Command 2	受信コマンド 2
0x38	EPC5	Endpoint Control 5	エンドポイントコントロール 5
0x39	TXD3	Transmit Data 3	送信データ 3
0x3A	TXS3	Transmit Status 3	送信状態 3
0x3B	TXC3	Transmit Command 3	送信コマンド 3
0x3C	EPC6	Endpoint Control 6	エンドポイントコントロール 6
0x3D	RXD3	Receive Data 3	受信データ 3
0x3E	RXS3	Receive Status 3	受信ステータス 3
0x3F	RXC3	Receive Command 3	受信コマンド 3

8. 0 デバイス特性

8. 1 絶対最大規格

絶対最大規格はデバイス破壊が発生する限界を示す。

供給電圧	-0.5V to +7.0V
DC入力電圧	-0.5V to $V_{CC} + 0.5V$
DC出力電圧	-0.5V to $V_{CC} + 0.5V$
保存温度	-65°C to +150°C
端子温度 (10秒ハンダ付け)	260°C
ESD 定格 ¹	4.5 KV

1. 人体モデル: 1.5 K Ω 抵抗を通じて 100 pF へ放電

8. 2 DC電気的特性

Table 10. USBN9603/4 メモリマップ

アドレス	レジスタ 二モニック	レジスタ名	
0x00	MCNTRL	Main Control	主制御
0x01	CCONF	Clock Configuration	クロック コンフィグレーション
0x02	予約済		
0x03	RID	Revision Identifier	変更履歴識別子
0x04	FAR	Function Address	ファンクション アドレス
0x05	NFSR	Node Functional State	ノード ファンクショナル状態
0x06	MAEV	Main Event	主イベント
0x07	MAMSK	Main Mask	主マスク
0x08	ALTEV	Alternate Event	交互に起きるイベント
0x09	ALTMSK	Alternate Mask	交互に起きるマスク
0x0A	TXEV	Transmit Event	送信イベント
0x0B	TXMSK	Transmit Mask	送信マスク
0x0C	RXEV	Receive Event	受信イベント
0x0D	RXMSK	Receive Mask	受信マスク
0x0E	NAKEV	NAK Event	NAKイベント
0x0F	NAKMSK	NAK Mask	NAKマスク
0x10	FWEV	FIFO Warning Event	FIFO警戒イベント
0x11	FWMSK	FIFO Warning Mask	FIFO警戒マスク
0x12	FNH	Frame Number High Byte	フレーム番号上位バイト
0x13	FNL	Frame Number Low Byte	フレーム番号下位バイト
0x14	DMACNTRL	DMA Control	DMA制御
0x15	DMAEV	DMA Event	DMAイベント
0x16	DMAMSK	DMA Mask	DMAマスク
0x17	MIR	Mirror	ミラー

記号	変数	条件	最小	標準	最大	単位
V_{IL}	ローレベル入力電圧				0.8	V
I_{IL}	ローレベル入力電流	$V_{IN} = GND$			-10	μA
I_{IH}	ハイレベル入力電流	$V_{IN} = V_{CC}$			10	μA
I_{OZ}	トリステート時漏れ電流	$V_{OUT} = V_{CC} \text{ or } GND$	-10		10	μA
発振器 入/出力信号 (XTALIN, XTALOUT)						
V_{IH}	ハイレベル入力スイッチング電圧 ^{4, 5}		1.8			V
V_{IL}	ローレベル入力スイッチング電圧 ^{4, 5}				1.0	V
C_{XIN}	入力容量 ⁶				4.0	pF
C_{XOUT}	出力容量				4.0	pF
電圧レギュレータ (3.3V)						
V_O	出力電圧 ⁷		3.0		3.6	V

- もし内蔵電圧レギュレータが有効ならば、最小電圧は3.0Vの代わりに4.25Vとなる。
- CLKOUTはドライブされず、且つデバイスはアクセスされない。
- 内蔵電圧レギュレータは無効である。
- 外部クロックがXTALINに接続されているときのみ、これらの電圧レベルが適用される。
- 内部発振器が使用されるとき、さらに低い電圧レベルが期待される。
- 試験されていない。設計により保証される。
- 内部電圧レギュレータは内蔵トランシーバと1つの外部プルアップにのみ電源供給するものである。
外部デカップリングコンデンサがこの端子に接続される。

8.3 AC電気的特性

(他に指定が無い限り、 $3.0V < V_{CC} < 5.5V$, $0^\circ C < T_A < +70^\circ C$)

記号	変数	条件 ^{1, 2}	最小	標準	最大	単位
フルスピード信号出力 (D+, D-)						
T_R	立上り時間	$C_L = 50pF$	4		20	nS
T_F	立下り時間	$C_L = 50pF$	4		20	nS
T_{RFM}	立上り/立下り時間一致 (T_R / T_F)	$C_L = 50pF$	90		110	%
V_{CRS}	出力信号クロスオーバー電圧	$C_L = 50pF$	1.3		2.0	V
Z_{DRV}	ドライバ出力インピーダンス (シングルエンデッド)	$C_L = 50pF$		35		Ω
クロック出力特性 (CLKOUT)						
T_R	出力立上り時間	$C_L = 50pF$			10	nS
T_F	出力立下り時間	$C_L = 50pF$			10	nS
T_{CYCLE}	出力デューティサイクル	$f_{out} < 48MHz$	45		55	%

- 試験は約50 Ω を中心とし、USB仕様rev. 1.1で指定される45 Ω +/-15%ではない。
- 波形は10%から90%まで測定。

注：次のテーブルのCKIはデバイスの内部クロックを参照し、XINに適用される信号周波数ではない。

8.4 パラレルインターフェースタイミング (MODE 1-0=00_B)

(他に指定が無い限り、 $3.0V < V_{CC} < 5.5V$, $0^{\circ}C < T_A < +70^{\circ}C$)

記号	変数	条件	最小	標準	最大	単位
t_{AS}	アドレスセットアップ時間	$C_L = 50 \text{ pF}$	0			nS
t_{AH}	アドレスホールド時間	$C_L = 50 \text{ pF}$	0			nS
t_{RW}	読み込みパルス幅 ¹	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{RC}	読み込みサイクル時間 ^{2 3}	$C_L = 50 \text{ pF}$	$3/MCLK$			nS
t_{RDV}	読み込み信号ロー後、データ出力有効時間	$C_L = 50 \text{ pF}$		20	30	nS
t_{RDH}	読み込み信号ハイ後、データ出力保持時間	$C_L = 50 \text{ pF}$	2			nS
t_{WW}	書き込みパルス幅 ¹	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{WC}	書き込みサイクル時間 ^{2 3}	$C_L = 50 \text{ pF}$	$3/MCLK$			nS
t_{DS}	データ入力セットアップ時間	$C_L = 50 \text{ pF}$	25			nS
t_{DH}	データ入力保持時間	$C_L = 50 \text{ pF}$	8			nS

1. 内部クロック: デバイス上の $CKI = 48 \text{ MHz}$
2. メモリクロック: $MCLK = CKI/4 = 12 \text{ MHz}$
3. 次の読み込みまたは書き込みが発生するまでの時間

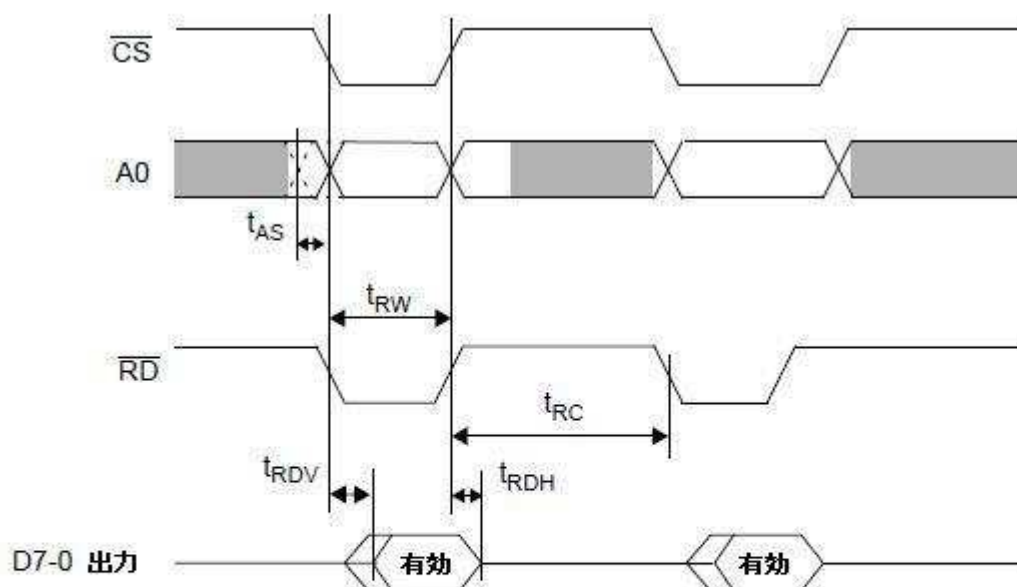


図 25. 非多重化モード 読み込みタイミング
(連続読み込みサイクルを示す)

注: セットアップ時間 t_{AS} は \overline{CS} または \overline{RD} いずれかの最初の変化に関連して定義される。2つの信号は同時に切り替わるかもしれない。

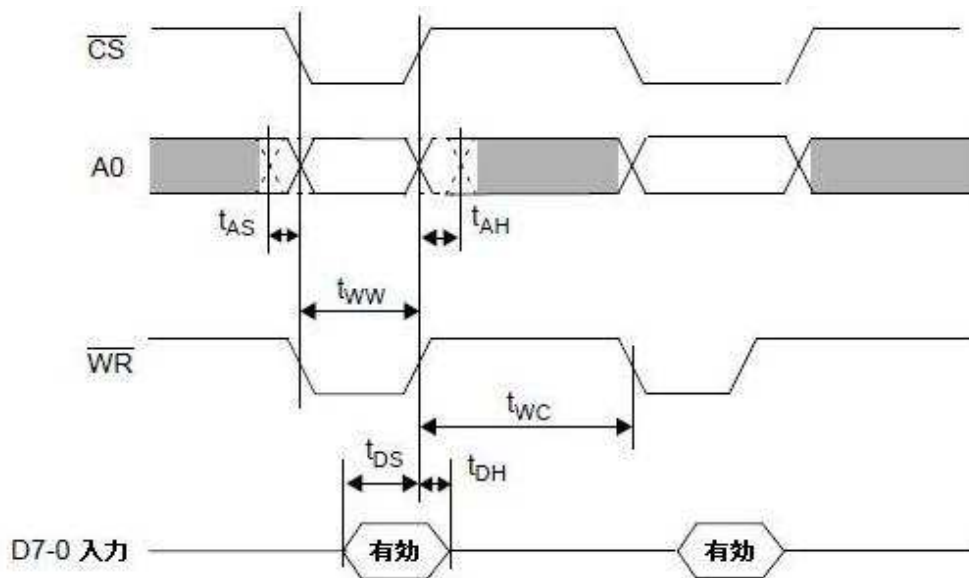


図 26. 非重化モード書き込みタイミング
(連続する書き込みサイクルを示す)

注: セットアップとホールド(保持)時間 t_{AS} と t_{AH} はCSまたはWRの最初の変化に関連して定義される。
2つの信号は同時に切り替わるかもしれない。

8. 5 パラレルインターフェースタイミング (MODE 1-0=01_B)

(他に指定が無い限り、 $3.0V < V_{CC} < 5.5V$, $0^{\circ}C < T_A < +70^{\circ}C$)

記号	変数	条件	最小	標準	最大	単位
t_{AH}	ALE ハイレベル時間 ¹	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{CLAL}	チップセレクトローからALEローまで	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{AVAL}	アドレス有効からALEローまで	$C_L = 50 \text{ pF}$	10			nS
t_{AHAL}	ALEロー後、アドレス保持	$C_L = 50 \text{ pF}$	10			nS
t_{ALRH}	ALEローからRDハイまで ²	$C_L = 50 \text{ pF}$	$3/MCLK$			nS
t_{RDLV}	読み取りローからデータ有効まで	$C_L = 50 \text{ pF}$		20	30	nS
t_{RHDZ}	読み取りハイ後、データ保持	$C_L = 50 \text{ pF}$	2			nS
t_{RL}	読み取りパルス幅	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{WHAH}	書き込みハイから次のALEハイまで	$C_L = 50 \text{ pF}$	$3/MCLK$			nS
t_{WHCH}	書き込みハイからCSハイまで	$C_L = 50 \text{ pF}$	10			nS
t_{WL}	書き込みパルス幅	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{DSWH}	データセットアップからWRハイまで	$C_L = 50 \text{ pF}$	5			nS
t_{DHHW}	WRハイ後、データ保持	$C_L = 50 \text{ pF}$	5			nS

1. 内部クロック : デバイス上の $CKI = 48 \text{ MHz}$

2. メモリクロック : $MCLK = CKI/4 = 12 \text{ MHz}$

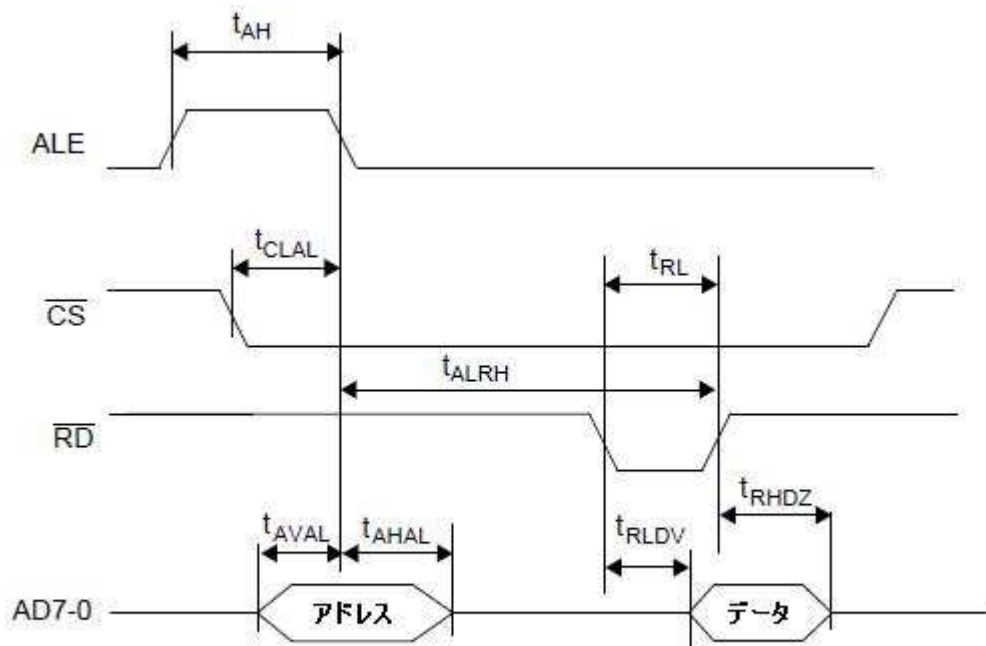


図 27. 多重化モードインターフェース 読み込みタイミング

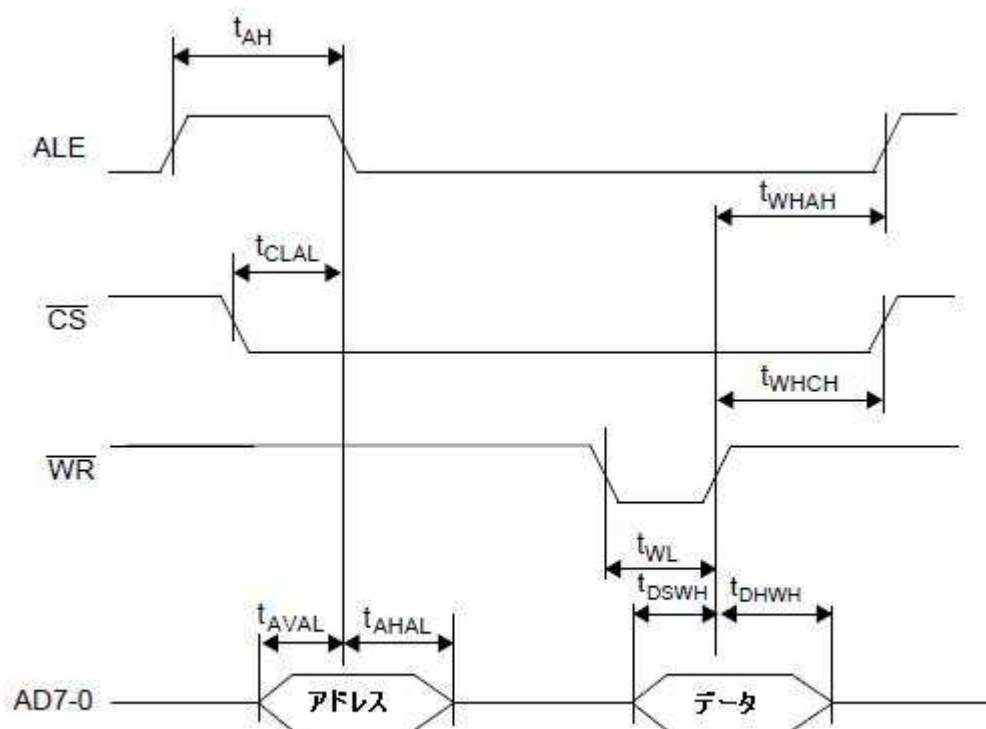


図 28. 多重化モードインターフェース 書き込みタイミング

8. 6 DMAサポートタイミング

(他に指定が無い限り、 $3.0V < V_{CC} < 5.5V$, $0^{\circ}C < T_A < +70^{\circ}C$)

記号	変数	条件	最小	標準	最大	単位
t_{RHAL}	要求ハイからACK $\bar{0}$ まで	$C_L = 50 \text{ pF}$	0			nS
t_{ALWL}	ACK $\bar{0}$ から書込み $\bar{0}$ まで	$C_L = 50 \text{ pF}$	0			nS
t_{WW}	書込みパルス幅	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{WRL}^1	書込みハイから要求 $\bar{0}$ まで	$C_L = 50 \text{ pF}$	$2/MCLK$			nS
t_{DWR}^1	DMA書込みリカバリ ²	$C_L = 50 \text{ pF}$	$2/MCLK$			nS
t_{ALRL}	ACK $\bar{0}$ から読込み $\bar{0}$ まで	$C_L = 50 \text{ pF}$	0			nS
t_{RW}	読込みパルス幅	$C_L = 50 \text{ pF}$	$1/CKI$			nS
t_{RRL}^1	読込みハイから要求 $\bar{0}$ まで	$C_L = 50 \text{ pF}$	$2/MCLK$			nS
t_{DRR}^1	DMA読込みリカバリ ²	$C_L = 50 \text{ pF}$	$2/MCLK$			nS

1. この変数の最小値はシステムの観点から来たものである。この値はデバイスの観点から最大値として使用可能である。この変数の最大値は無量大である。
2. DMA転送が読込みまたは書込みにより割り込みされない場合。もし転送が割り込みされると、2つの追加MCLKサイクルが使用される。

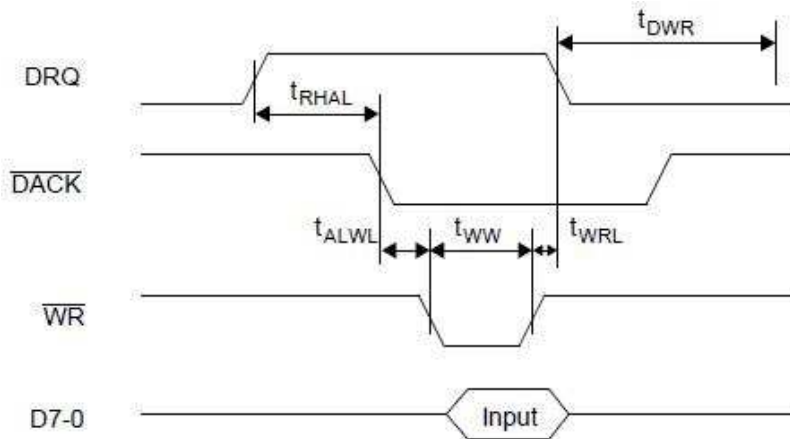


図 29. USB9603/4へのDMA書込み

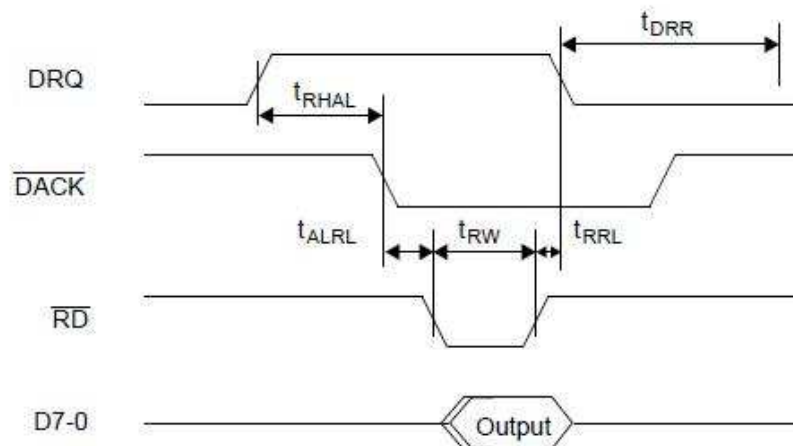
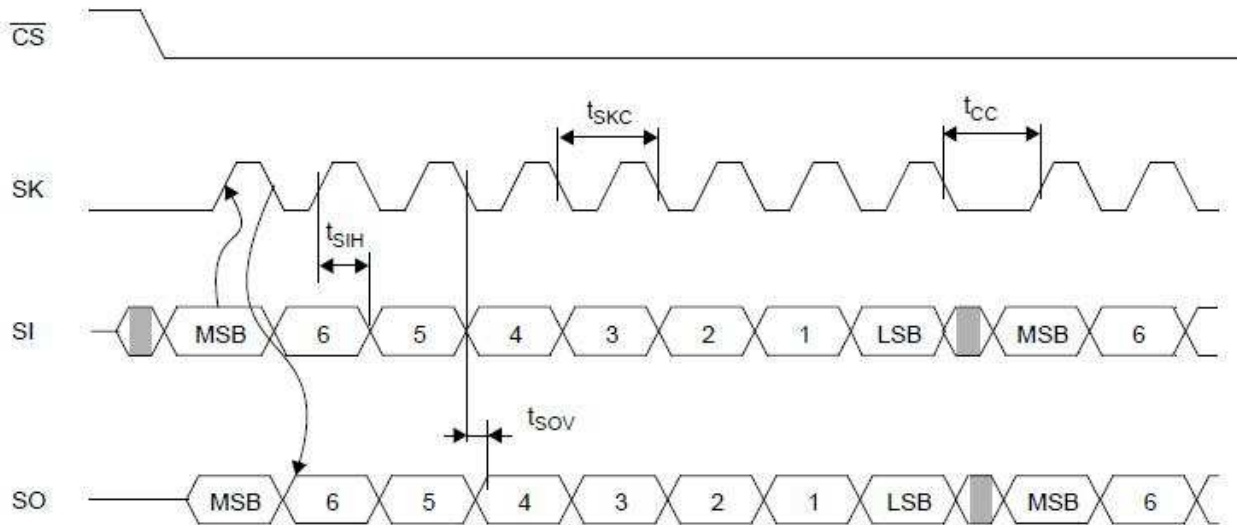


図 30. USB9603/4からのDMA読込み

8.7 MICROWIREインターフェース タイミング (MODE1-0=10_B)

記号	変数	条件	最小	標準	最大	単位
t_{SKC}	SKサイクル時間 ¹	$C_L = 50 \text{ pF}$	8/MCLK			nS
t_{CC}	2つの連続8クロックサイクル間の時間 ¹	$C_L = 50 \text{ pF}$	4/MCLK			nS
t_{SIH}	シリアル入力保持時間	$C_L = 50 \text{ pF}$	3/MCLK			nS
t_{SOV}	シリアル出力有効時間	$C_L = 50 \text{ pF}$			3/MCLK	nS

1. メモリクロック: MCLK = CKI/4 = 12 MHz

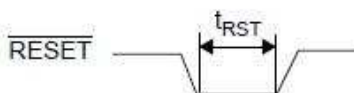


注: 最初の8SKがシフトレジスタの現在の内容をシフトアウトする。

図 31. MICROWIREインターフェースタイミング

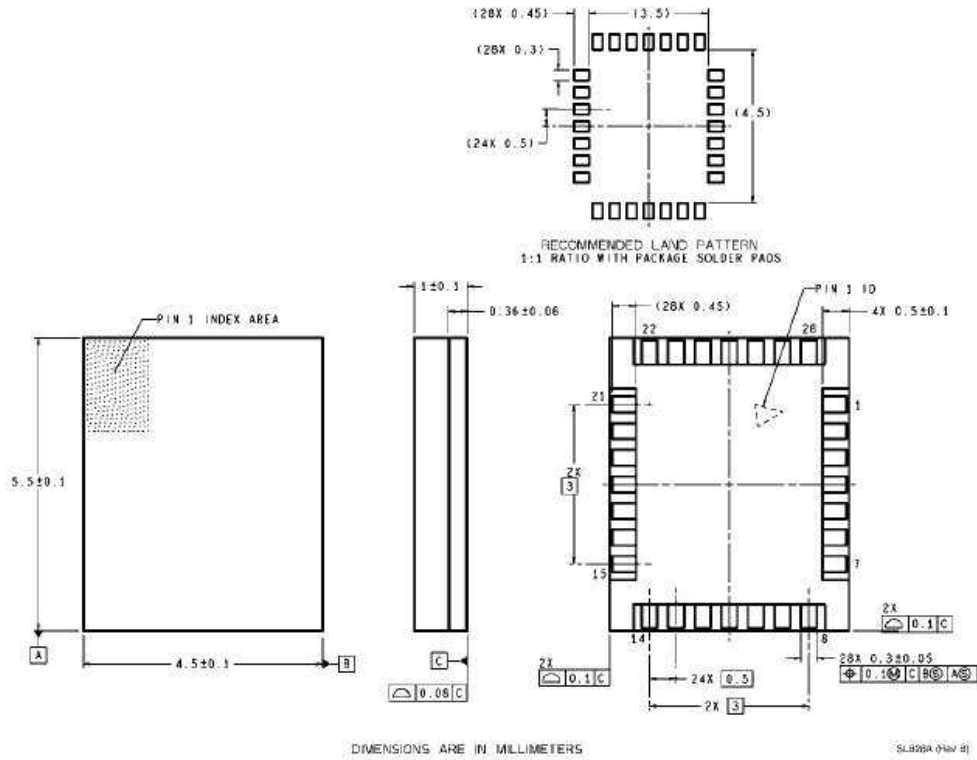
8.8 リセット タイミング

記号	変数	条件	最小	標準	最大	単位
t_{RST}	RESET パルス幅		10			nS

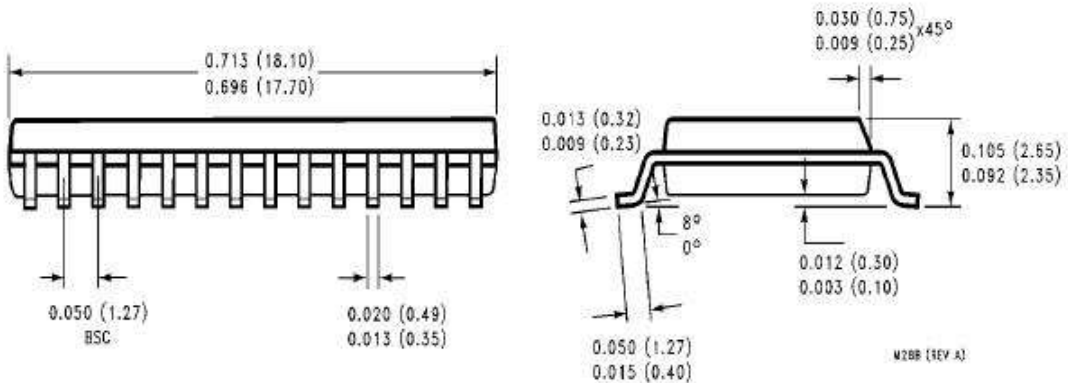
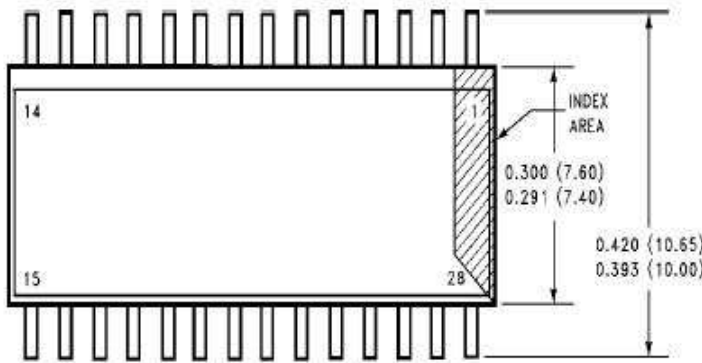


外形寸法

他に注意書きが無い限り、インチ (mm) とする。



Laminate Substrate Based Package
Order Number USBN9603/4SLB
See NS Package Number SLB28AA



Molded SO Wide Body Package (WM)
Order Number USBN9603/4-28M
See NS Package Number M28B

生命維持方針

ナショナルセミコンダクタ社の製品は、ナショナルセミコンダクタ社の社長と法律顧問の明確な書面による承認なくして、生命維持デバイスまたはシステムでの重要な部品としての使用を認められていない。

1. 生命維持デバイスまたはシステムは、(a) 人体内の外科的移植をしようとする、または (b) 生命を支持または維持するデバイスまたはシステムである。ラベルに規定された使用に関する説明書きに従い正確に使用される時、実行の遅延が顧客に重大な障害を負わせる結果をもたらすことは合理的に予測可能である。
2. 重要な部品とは生命維持デバイスまたはシステムのあらゆる部品のことである。実行遅延は生命維持デバイスまたはシステムの欠陥の原因となること、またその安全性または効力に影響することが予想される



National Semiconductor Corporation, Americas
Email: new.feedback@nsc.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europa.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507
Email: nsj.crc@jksmtp.nsc.com