

MC74HC4046A

フェーズロックドループ

高性能シリコンゲート CMOS

MC74HC4046AはMC14046メタルゲートCMOSデバイスと機能においては同等である。デバイス入力は標準CMOS出力と互換であり、プルアップ抵抗付きで、それらはLSTTL出力と互換である。HC4046Aフェーズロックドループは3つの位相比較器、電圧制御発振器 (VCO) 及びユニティゲインオペアンプDEMOutを有する。コンパレータは2つの共通信号入力COMPin と SIGin を有する。入力COMPin と SIGin は大電圧入力に直接接続し、または間接的な接続 (小電圧信号には直列にコンデンサを付け) して使用可能である。自己バイアス回路がアンプの直線性領域において小電圧信号を最適化する。位相比較器1 (排他的論理和ゲート) はデジタルエラー信号PC1outを備え、SIGin と COMPin 信号 (共に50%デューティサイクルで) の間で中心周波数に対し90度位相シフトを維持する。位相比較器2 (信号の先端を検知するロジックを有する) はデジタルエラー信号PC2out と PCPout を備え、SIGin と COMPin 信号 (デューティサイクルは重要ではない) の間で0度位相シフトを維持する。直線性のVCOは、周波数がVCOin信号とC1A、C1B、R1、R2ピンに接続されるコンデンサと抵抗によって決まる、出力信号VCOoutを出力する。外付け抵抗を有するユニティゲインオペアンプ出力DEMOutはVCOin信号が必要とされる場所に使用されるが、どんな負荷にも耐えられるわけではない。禁止入力が高レベルの場合、電力消費をスタンバイ状態に最小化するため、VCO と全てのオペアンプは使用できない。

応用にはFMとFSK変調と復調、周波数シンセサイズ、乗算、周波数識別、トーンデコーディング (音声復号化)、データ同期と条件付け、電圧→周波数変換とモーター速度制御が含まれる。

特徴

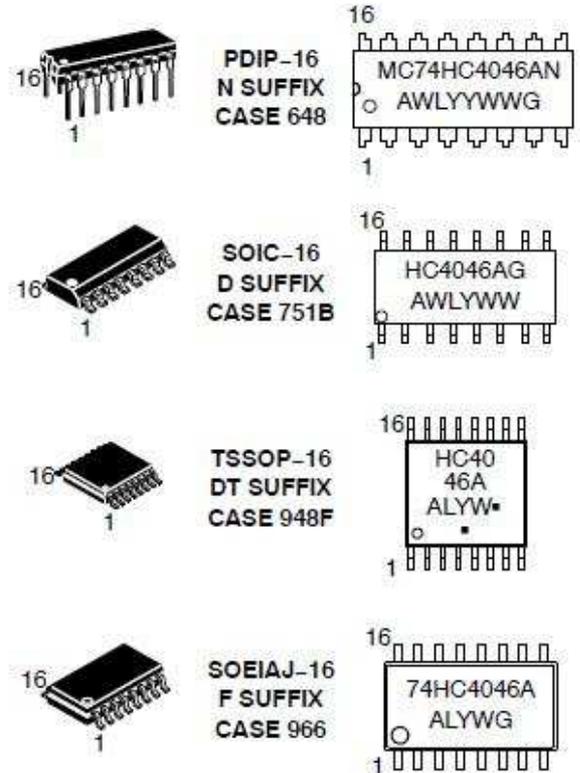
- 出力ドライブ能力: 10LSTTLの負荷
- CMOSデバイスによる低消費電力特性
- LSTTLと同等の動作速度
- 広範囲動作電圧: 3.0~6.0V
- 低入力電流: 最大1.0uA (SIGin と COMPin を除く)
- JEDECスタンダードNo. 7Aに定められた要件に適合
- 低静止電流: 80uA最大 (VCO禁止)
- CMOSデバイスの特徴である高雑音障害
- 全入力に保護ダイオード
- チップの複雑度: 279FET'sまたは70相当のゲート
- これらのデバイスは鉛フリー、ハロゲンフリーであり、RoHSを遵守するものである。



ON Semiconductor®

<http://onsemi.com>

MARKING DIAGRAMS



A = Assembly Location
L, WL = Wafer Lot
Y, YY = Year
W, WW = Work Week
G or ■ = Pb-Free Package

(Note: Microdot may be in either location)

注文情報

このデータシートの5ページのパッケージ記載内の詳細の注文や運送情報を参照のこと。

MC74HC4046A

端子番号	信号名	名称と機能
1	PCP _{OUT}	位相比較器パルス出力
2	PC1 _{OUT}	位相比較器1出力
3	COMP _{IN}	コンパレータ入力
4	VCO _{OUT}	VCO出力
5	INH	禁止入力
6	C1A	コンデンサC1接続端子A
7	C1B	コンデンサC1接続端子B
8	GND	グランド(0V)V _{SS}
9	VCO _{IN}	VCO入力
10	DEM _{OUT}	復調器出力
11	R1	抵抗R1接続端子
12	R2	抵抗R2接続端子
13	PC2 _{OUT}	位相比較器2出力
14	SIG _{IN}	信号入力
15	PC3 _{OUT}	位相比較器3出力
16	V _{CC}	+電源供給端子

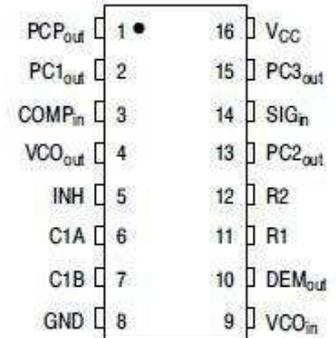


図1. 端子配列

最大規格

名称	パラメータ	値	単位	
V _{CC}	DC供給電圧(GND基準)	-0.5 to +7.0	V	
V _{in}	DC入力電圧(GND基準)	-1.5 to V _{CC} + 1.5	V	
V _{out}	DC出力電圧(GND基準)	-0.5 to V _{CC} + 0.5	V	
I _{in}	DC入力電流(端子毎)	±20	mA	
I _{out}	DC出力電流(端子毎)	±25	mA	
I _{CC}	DC供給電流、V _{CC} とGND端子	±50	mA	
P _D	電力消費(静止大気中)	プラスチックDIP† SOICパッケージ†	750 500	mW
T _{stg}	保管温度	-65 to +150	°C	
T _L	リード端子の温度、ケースから1mmで10秒間 プラスチックDIPとSOICパッケージ†	260	°C	

このデバイスは高静電圧または電場によるダメージから守るための保護回路を含む。しかしながら、この高インピーダンス回路への最大規格電圧以上のいかなる高電圧も避けるべく用心しなければならない。
適切な動作のため、V_{in}とV_{out}はGND ≤ (V_{in}またはV_{out}) ≤ V_{CC}を満たさねばならない。
未使用入力端子は常に適切なロジック電圧レベル(GNDまたはV_{CC})につながらねばならない。未使用出力端子はオープンのままとしなければならない。

最大規格は、デバイス破壊が発生する可能性がある過度のそれらの値である。
デバイスに適用される最大規格は、個々のストレス限界値(通常の動作条件ではない)であり、同時に有効ではない。
もしこれらの限界が超えられ、デバイスの本来の機能動作が暗示的ではなく、ダメージが発生し、信頼性に悪影響が出る可能性がある。

†ディレーティングープラスチックDIP : 65°C~125°Cで10mW/°C
SOICパッケージ : 65°C~125°Cで 7 mW/°C

推奨動作条件

名称	パラメータ	最小	最大	単位	
V _{CC}	DC供給電圧(GND基準)	3.0	6.0	V	
V _{CC}	DC供給電圧(GND基準)非-VCO	2.0	6.0	V	
V _{in} , V _{out}	DC入力電圧、出力電圧(GND基準)	0	V _{CC}	V	
T _A	動作温度(全パッケージタイプ)	-55	+125	°C	
t _h , t _f	入力立ち上がり及び立下り時間 (5ピン)	V _{CC} = 2.0 V V _{CC} = 4.5 V V _{CC} = 6.0 V	0 0 0	1000 500 400	ns

MC74HC4046A

【位相比較器セクション】

DC電気的特性 (GND基準とした電圧)

名称	パラメータ	試験環境	V _{CC} V	保証限界			単位
				-55 to 25°C	≤ 85°C	≤ 125°C	
V _{IH}	SIG _{in} 、COMP _{in} に接続する 最小ハイレベルDC入力電圧	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V _{IL}	SIG _{in} 、COMP _{in} に接続する 最大ローレベルDC入力電圧	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0 4.5 6.0	0.5 1.35 1.8	0.5 1.35 1.8	0.5 1.35 1.8	V
V _{OH}	PCP _{out} 、PC _{nout} 最大ハイレベル出力電圧	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
V _{OL}	最大ローレベル出力電圧 Qa-Qh、PCP _{out} 、PC _{nout}	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I _{in}	最大入力漏れ電流 SIG _{IN} 、COMP _{IN}	V _{in} = V _{CC} or GND	2.0 3.0 4.5 6.0	±3.0 ±7.0 ±18.0 ±30.0	±4.0 ±9.0 ±23.0 ±38.0	±5.0 ±11.0 ±27.0 ±45.0	μA
I _{oz}	最大3ステート漏れ電流 PC2 _{OUT}	ハイインピーダンス状態での出力 V _{in} = V _{IH} or V _{IL} V _{out} = V _{CC} or GND	6.0	±0.5	±5.0	±10	μA
I _{CC}	最大静止時供給電流 (パッケージ毎) (VCO禁止) V _{CC} での3, 5, 14ピン GNDでの9ピン: 3, 14ピンを除く入力漏れ	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	4.0	40	160	μA

【位相比較器セクション】

AC電気的特性 (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

信号名	パラメータ	V _{CC} V	保証限界			単位
			-55 to 25°C	≤ 85°C	≤ 125°C	
t _{PLH} 、 t _{PHL}	最大伝播遅延: SIG _{IN} /COMP _{IN} から PC1 _{OUT} 出力 (図2)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t _{PLH} 、 t _{PHL}	最大伝播遅延: SIG _{IN} /COMP _{IN} から PCP _{OUT} 出力 (図2)	2.0 4.5 6.0	340 68 58	425 85 72	510 102 87	ns
t _{PLH} 、 t _{PHL}	最大伝播遅延: SIG _{IN} /COMP _{IN} から PC3 _{OUT} 出力 (図2)	2.0 4.5 6.0	270 54 46	340 68 58	405 81 69	ns
t _{PLZ} 、 t _{PHZ}	最大伝播遅延: SIG _{IN} /COMP _{IN} から PC2 _{OUT} 出力までの出力禁止時間 (図3.4)	2.0 4.5 6.0	200 40 34	250 50 43	300 60 51	ns
t _{PZH} 、 t _{PZL}	最大伝播遅延: SIG _{IN} /COMP _{IN} から PC2 _{OUT} 出力までの出力可能時間 (図3.4)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t _{TLH} 、 t _{THL}	最大出力遷移時間 (図2)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns

MC74HC4046A

[VCOセクション]

DC電气的特性 (GND基準とした電圧)

信号名	パラメータ	試験条件	V _{CC} V	保証限界						単位
				- 55 to 25°C		≤ 85°C		≤ 125°C		
V _{IH}	最小ハイレベル入力電圧 INH	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	3.0	2.1		2.1		2.1		V
			4.5	3.15		3.15		3.15		
			6.0	4.2		4.2		4.2		
V _{IL}	最大ローレベル入力電圧 INH	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	3.0	0.90		0.9		0.9		V
			4.5	1.35		1.35		1.35		
			6.0	1.8		1.8		1.8		
V _{OH}	最小ハイレベル出力電圧 VCO _{OUT}	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	3.0	1.9		1.9		1.9		V
			4.5	4.4		4.4		4.4		
			6.0	5.9		5.9		5.9		
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	3.98		3.84		3.7		
			6.0	5.48		5.34		5.2		
			6.0							
V _{OL}	最大ローレベル出力電圧 VCO _{OUT}	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	3.0	0.1		0.1		0.1		V
			4.5	0.1		0.1		0.1		
			6.0	0.1		0.1		0.1		
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	0.26		0.33		0.4		
			6.0	0.26		0.33		0.4		
			6.0							
I _{in}	最大入力漏れ電流 INH, VCO _{IN}	V _{in} = V _{CC} or GND	6.0	0.1		1.0		1.0		μA
			6.0							
V _{VCO IN}	R1で指定される範囲を超える VCO _{in} 動作電圧範囲: 直線性は図15Aを参照。R1,R2 の並列値は2.7kΩより大きくす るべきである。	INH = V _{IL}	3.0 4.5 6.0	Min	Max	Min	Max	Min	Max	V
				0.1	1.0	0.1	1.0	0.1	1.0	
				0.1	2.5	0.1	2.5	0.1	2.5	
				0.1	4.0	0.1	4.0	0.1	4.0	
R1	抵抗の範囲		3.0	3.0	300	3.0	300	3.0	300	kΩ
			4.5	3.0	300	3.0	300	3.0	300	
			6.0	3.0	300	3.0	300	3.0	300	
R2			3.0	3.0	300	3.0	300	3.0	300	
			4.5	3.0	300	3.0	300	3.0	300	
			6.0	3.0	300	3.0	300	3.0	300	
C1	コンデンサの範囲		3.0	40	No					pF
			4.5	40	限界					
			6.0	40						
			6.0	40						

[VCOセクション]

AC電气的特性 (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

信号名	パラメータ	V _{CC} V	保証限界						単位
			- 55 to 25°C		≤ 85°C		≤ 125°C		
			Min	Max	Min	Max	Min	Max	
Δf/T	温度変化に伴う周波数安定度 (図14A,B,C)	3.0							%K
		4.5							
		6.0							
f _o	中心周波数 (デューティファクター = 50%) (図15A,B,C,D)	3.0	3					MHz	
		4.5	11						
		6.0	13						
Δf/VCO	VCO周波数の直線性	3.0	図16A,B,C参照						%
		4.5							
		6.0							
θVCO	VCO _{out} におけるデューティファクター	3.0	標準 50%						%
		4.5							
		6.0							

MC74HC4046A

【復調器セクション】

DC電气的特性

信号名	パラメータ	試験条件	V _{CC} V	保証限界						単位
				- 55 to 25°C		≤ 85°C		≤ 125°C		
				Min	Max	Min	Max	Min	Max	
RS	抵抗の範囲	RS > 300 kΩ では、漏れ電流が VDEM _{OUT} に影響を及ぼす可能性有り	3.0 4.5 6.0	50 50 50	300 300 300					kΩ
V _{OFF}	オフセット電圧 VCO _{IN} to VDEM _{OUT}	V _i = VVCO _{IN} = 1/2 V _{CC} ; Values taken over RS Range.	3.0 4.5 6.0	図13参照						mV
RD	変動出力 DEM _{OUT} における抵抗値	VDEM _{OUT} = 1/2 V _{CC}	3.0 4.5 6.0	標準 25 Ω						Ω

注文情報

デバイス	パッケージ	出荷 †
MC74HC4046ANG	PDIP-16 (Pb-Free)	2000 Units / Box
MC74HC4046ADG	SOIC-16 (Pb-Free)	48 Units / Rail
MC74HC4046ADR2G	SOIC-16 (Pb-Free)	2500 Units / Reel
MC74HC4046ADTG	TSSOP-16*	96 Units / Rail
MC74HC4046ADTR2G	TSSOP-16*	2500 Units / Reel
MC74HC4046AFG	SOEIAJ-16 (Pb-Free)	50 Units / Rail
MC74HC4046AFELG	SOEIAJ-16 (Pb-Free)	2000 Units / Reel

† 部品の方向やテープサイズを含むテープ及びリール仕様に關しては、われわれのテープ及びパッケージング仕様冊子、BRD8011/Dを参照してください。

* このパッケージは本来鉛フリーです。

MC74HC406A

スイッチング波形

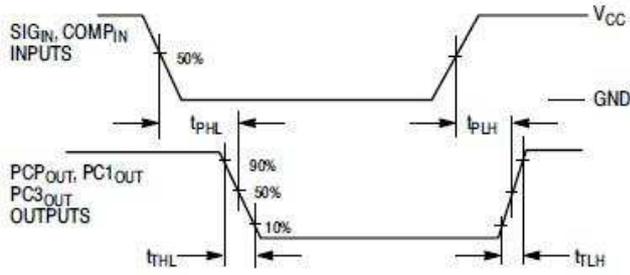


図2

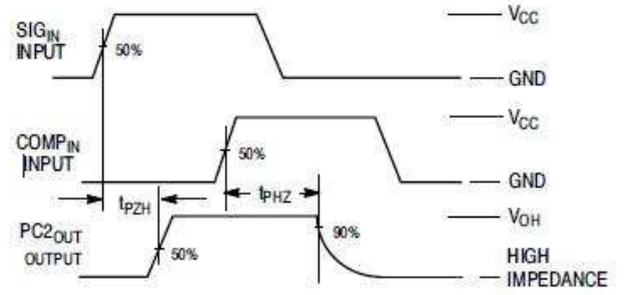


図3

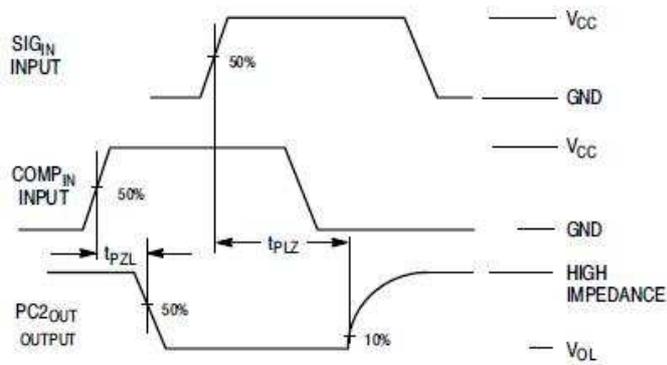


図4

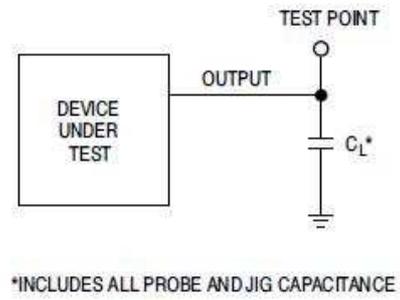


図5. 試験回路

詳細な回路解説

電圧制御発振器／復調器

VCO は動作するために2つまたは3つの外付け部品を必要とする。それらはR1,R2,C1である。抵抗R1とコンデンサC1はVCOの中心周波数を決定するために選択しなければならない。(図15の標準性能曲線を参照) R2はVCO入力に対し0Vにオフセット周波数を設定して使用可能である。例えば、R2が減少するとオフセット周波数は増加する。もしR2が省略されるとVCO範囲は0Hzからとなる。R2の影響は代表的な性能曲線図25に示される。R2の値を増加することにより、PLLのロック範囲が増加し且つ、ゲイン(V/Hz)が減少する。かくして、狭いロック範囲に関しては、VCO入力の大きな振れはより周波数変化を少なくするだろう。

内部的には、抵抗は図6に示すようにカレントミラー内の電流を設定する。ミラー化された電流がコンデンサの一方をドライブする。一旦コンデンサを経由した電圧がコンパレータのVrefまで充電されると、オンレータのロジックはミラーがコンデンサの反対側を充電しているコンデンサをフリップする。その時、内部ロジックからの出力はVCO出力へ引き継がれる。(4ピン)

VCOへの入力はCMOS入力で非常にインピーダンスが高く、フィルタ設計を容易にするループフィルタをロードダウンしないだろう。ループ性能を低下することなしにVCO入力の信号を作るためには、VCO入力電圧はDemod出力へのユニティゲインオペアンプを通してバッファすることである。このオペアンプは50KΩまたはそれ以上の負荷をドライブ可能であり、VCO入力電圧へ負荷の影響を与えない。(図13参照)

禁止入力はVCOと全てのオペアンプの動作を無効にするために備えられている。(図6参照) もし内部VCOが使用できなくなった場合に、これは役に立つ。電力消費をスタンバイに最小化することで、禁止であるロジックハイでVCOと全てのオペアンプを無効にできる。

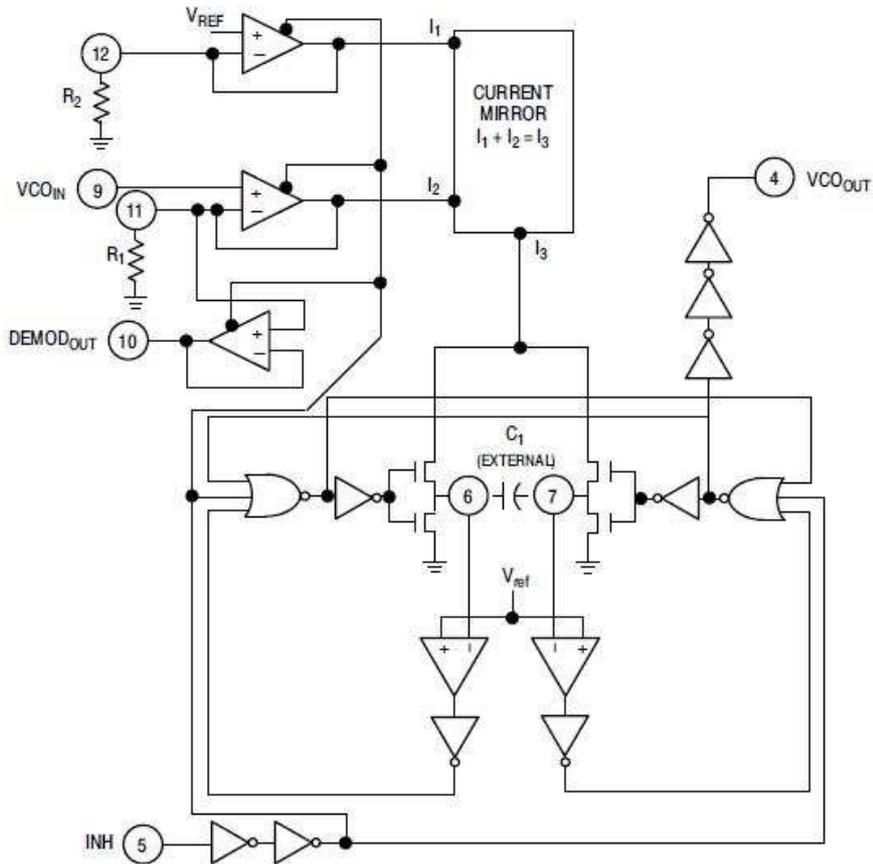


図6. VCOのロジックダイアグラム

このVCO出力はファンアウト10のLS-TTLと同等の標準ハイスピードCMOS出力である。VCO出力はほぼ方形波である。この出力は位相比較器のCOMPinに直接つなげることも、周波数シンセサイザを有効にするための外付け分周器(カウンタ)につなげることも可能である。

位相比較器

3つの位相比較器は全て2つの入力、S I Gin とCOMPIn を有する。

S I Gin とCOMPIn は、入力信号に対しACカップリングを可能にする特別なDCバイアスネットワークを有する。

もし信号がACカップリングされないならば、標準74HCの入力レベルが要求される。

両入力の構成は図7の示される。

これらのコンパレータの出力は基本的に標準74HC出力である。(コンパレータ2はトライステート可能である。)

通常の動作では、VCCとグラウンド電圧レベルはループフィルタへ引き込まれる。

これはループフィルタへ電流を供給するいくつかの位相検出器とは異なり、設計において考慮すべきである。(MC14046も1つの電圧を備えている。)

位相比較器1

このコンパレータは74HC86と同等の単純なXORゲートである。

その動作はオーバードライブされた平衡変調器と同じである。

ロック範囲を最大にするため、入力周波数は50%デューティサイクルでなければならない。

代表的な入出力波形は図8に示す通りである。

位相検出器の出力は、出力電圧を平均化するループフィルタへ注入する。

もし最初にロック出力がキャプチャ範囲として定義されるなら、周波数はPLLがロックオンするであろう領域に及ぶ。

位相検出器1のキャプチャ範囲はループフィルタの設計に依存する。

キャプチャ範囲はVCOの周波数範囲に等しいロック領域と同様に非常に広い。

検出器がどのように動作するのかを知るには図8を参照せよ。

2つの方形波信号(デューティサイクルは2つの信号間の位相差に依存する)がこの比較器に加えられ、その結果出力される。

位相差が増加すると、出力デューティサイクルは増加し、ループフィルタの後の電圧が増加する。

ロックを達成するためには、PLL入力周波数が増加する場合、VCO入力電圧は増加しなければならないし、COMPInとS I Ginの間の位相差が増加するだろう。

f_{min} に等しい入力周波数において、VCO入力は0Vである。

これは位相検出器の出力をグラウンドにすべきことを要求する。故に、2つの入力信号は同位相である。

入力周波数が f_{max} の場合、VCO入力はVccでなければならないし、位相検出出力は 180° の位相差がなければならない。

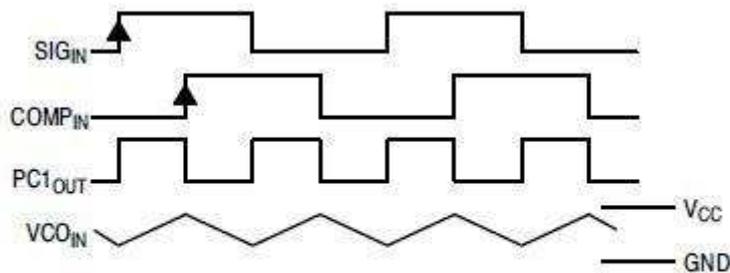


図8: 位相比較器1を用いたPLLの代表的波形

XORはデジタル位相検出器2よりもSIGInの高調波により敏感にロックする。

例えば、2回の信号、VCO周波数は、VCO周波数に等しい信号として結果同じ出力デューティサイクルとなる。

差は $2f$ の例の出力周波数が他の例のそれの2倍である、ということである。

ループフィルタとVCOの範囲は、高調波へのロックを防止するように設計されるべきであろう。

位相比較器 2

この検出器はデジタルメモリのネットワークである。それは、図6に示すように、4つのフリップフロップといくつかのゲートロジックと状態出力と位相パルス出力から成り立つ。このコンパレータは、入力信号の立ち上がりエッジでのみ動作し、デューティサイクルとは独立している。位相比較器2は、VCO出力と信号入力の正の波形のエッジとの間の位相差0でPLLを強制的にロックさせるような方法で作す。図8はいくつかの典型的なループ波形を示す。最初にSIGinがCOMPinより先行していると仮定する。これは、VCOの周波数はその先行するエッジを正確な位相直線に持っていきよう増加されねばならない、ということの意味する。かくして位相検出器2の出力はハイにセットされる。これは、VCO周波数を増加するために、ループフィルタがVCO入力を充電することに起因するのであろう。

一旦COMPinの先行するエッジが検出されると、出力はループフィルタ電圧でVCO入力を保持するためトライステートになる。もしVCOがまだSIGinに遅れていると、そのときは位相検出器が、両波形の先行するエッジ間の時間に対し再びVCO入力を充電するのであろう。

もしVCOがSIGinに先行するならば、VCOの先行するエッジが検知された場合、位相比較器の出力はローになる。その出力がそれ自身を再度無効にするときにSIGinの先行するエッジが検出されるまで、これはループフィルタを放電する。これは、両波形の立ち上がりエッジを再度一致させるようにVCOをスローダウンする効果をもつ。

PLLがロックからはずれると、VCOはSIGinよりもより低速または急速に動作するのであろう。もしそれがより低速に動作するならば、位相検出器はSIGinの立ち上がりエッジを一層検出するのであろう。また、位相比較器の出力は、VCOの周波数を立ち上げる時間の大半をハイにするのであろう。逆に言えば、もしVCOがSIGinよりも早く動作しているならば、検出器の出力はほとんどの時間ローとなるだろうし、VCOの出力周波数は減少されるのであろう。

見た通り、PLLがロックされている場合、位相比較器2の出力は、波形の先行するエッジでの少量の補正を除いて、無効とされるだろう。PC2がトライステートである場合、PCP出力がハイになる。この出力は、PLLがロックされた状態にある場合、決定される。

この検出器はさまざまな興味ある特徴を持っている。全VCO周波数範囲に渡り、COMPinとSIGinの間の位相差はない。PLLのロック範囲はキャプチャー範囲と同じである。ロック時、検出器出力がハイインピーダンスになるので、最小の電力がループフィルタで消費された。SIGinが現存しない場合、検出器はVCOの先行エッジのみを検知するだろう。故に、比較器出力はVCOを強制的に f_{min} にするため、いまだローのままとなるだろう。

位相比較器2は、PLLのアンロックの原因となるノイズにより影響を受けやすい。もしノイズパルスがSIGinに現れた場合、比較器はSIGinの他の正のエッジとしてそれを処理し、VCO先行エッジが潜在的に全SIGinの期間に現れるまで、結果出力はハイとなるだろう。これはその時間の間に、結果としてVCOの速度が上がることになるかもしれない。PC1を使用する場合、その位相検出器の出力がノイズスパイクの短期間のみ供給されるかもしれないし、変動がより小さくなるかもしれない。

位相比較器 3

これは、図7に示したようにRSフリップフロップを利用した、正にエッジトリガされた一連の位相検出器である。PLLがこの比較器を使用する場合、ループは正の信号変化とSIGinのデューティファクタにより制御され、COMPinは重要ではない。エッジ検出比較器といくつかの同等の特性を有する。いかにこの検出器が動作するかを知るには、図10に示すように入力パルスがSIGinとCOMPinの入力に適用した場合を仮定するとよい。SIGinがCOMPinを先行する場合、フロップがセットされる。SIGinと共に位相を比較器にもたすために、これはループフィルタを充電し、VCOを高速化するだろう。SIGinとCOMPinの位相角は $0^{\circ} \sim 360^{\circ}$ の間さまざまである。PC3の電圧の振れはPC2よりもずっと大きい。結果としてVCOへの信号内に多くのリップルを有することになる。SIGinが無いとき、PC2が利用される場合 f_{min} に対抗するかのよう、VCOは強制的に f_{max} にするだろう。

3つの位相比較器全ての動作特性はシステム設計の要求と比較されるべきであろうし、適切なそれが利用されるべきであろう。

MC74HC4046A

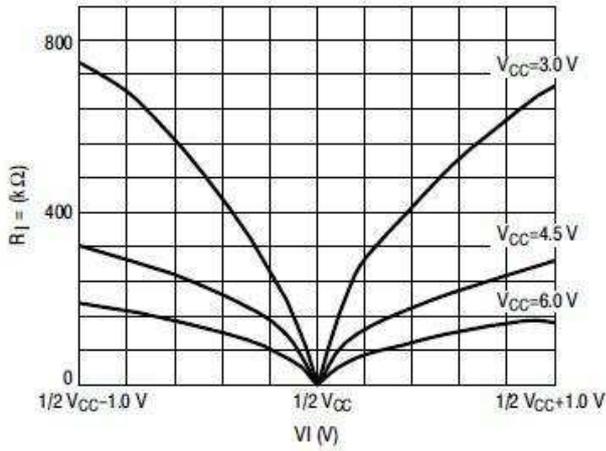


図11. 自己バイアス点 $\Delta V_i = 1.0 \text{ V}$ でのSIGin、COMPinの入力抵抗

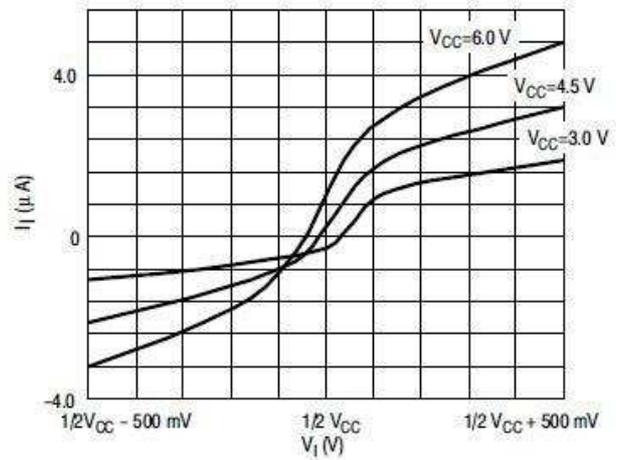


図12. 自己バイアス点 $\Delta V_i = 500 \text{ mV}$ でのSIGin、COMPinの入力電流

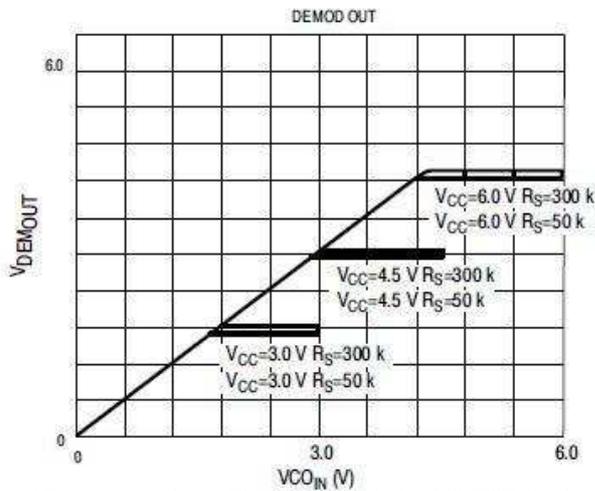


図13. V_{COIN} と R_S の関数としての復調器出力のオフセット電圧

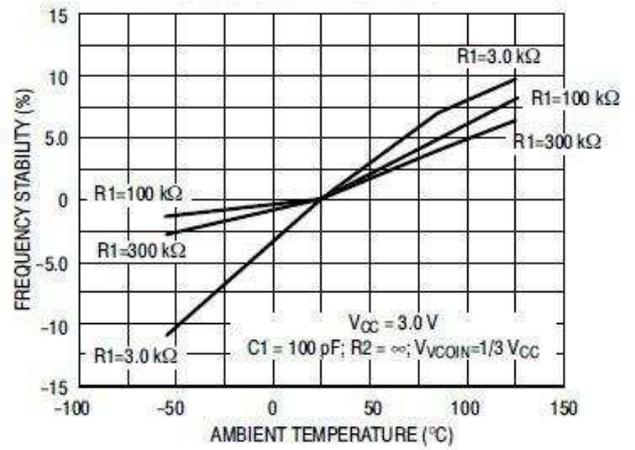


図13A. 周辺温度対周波数安定度: $V_{CC} = 3.0 \text{ V}$

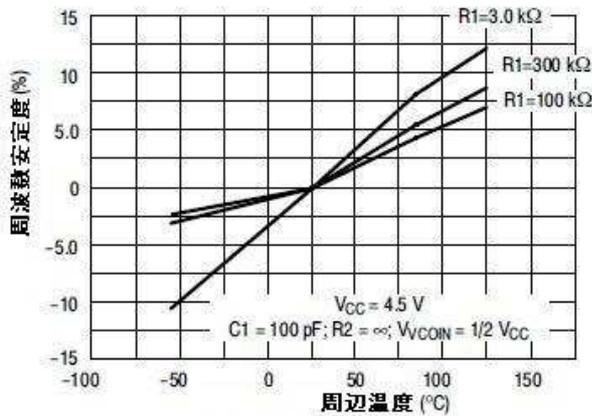


図13B. 周辺温度対周波数安定度: $V_{CC} = 4.5 \text{ V}$

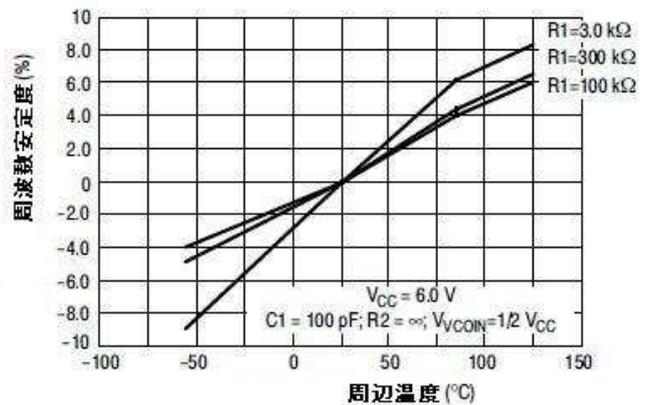


図13C. 周辺温度対周波数安定度: $V_{CC} = 6.0 \text{ V}$

MC74HC4046A

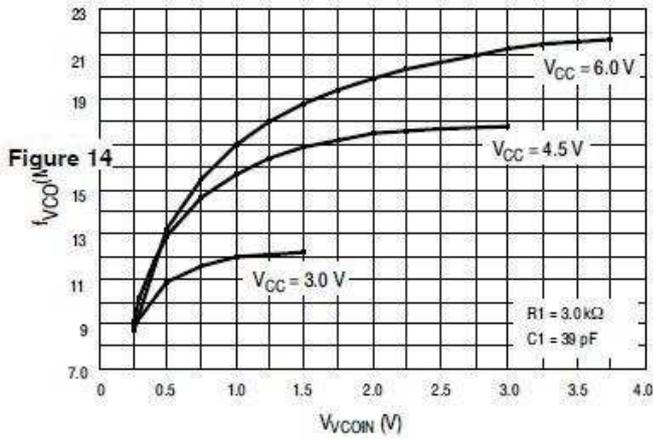


図14A. VCO入力電圧(V_{VCOIN})の関数としてのVCO周波数(f_{VCO})

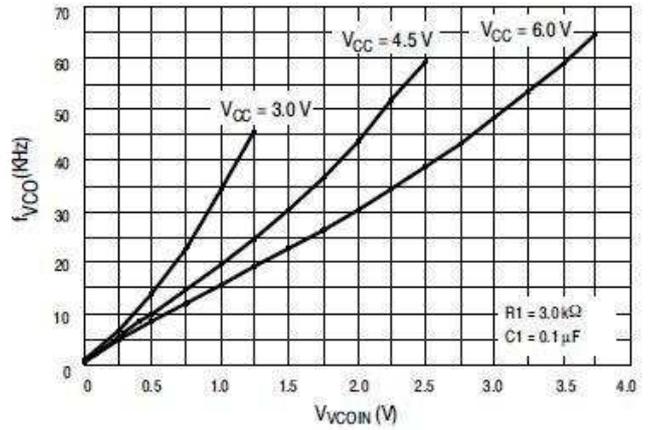


図14B. VCO入力電圧(V_{VCOIN})の関数としてのVCO周波数(f_{VCO})

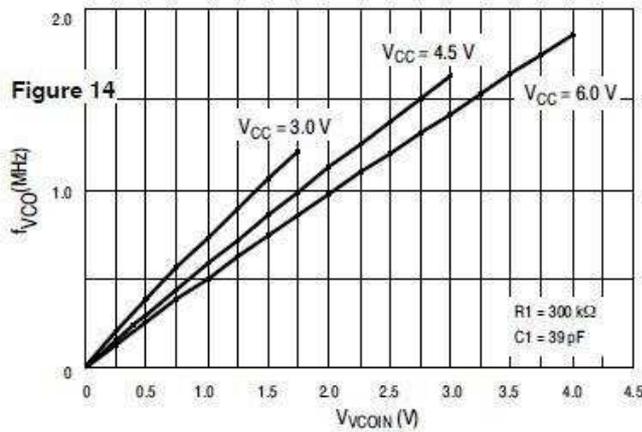


図14C. VCO入力電圧(V_{VCOIN})の関数としてのVCO周波数(f_{VCO})

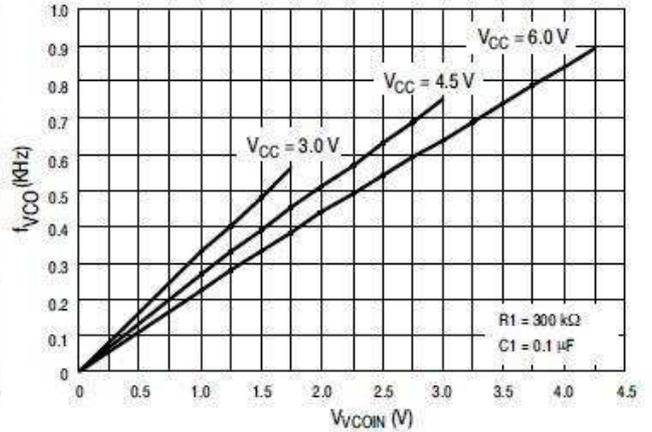


図14D. VCO入力電圧(V_{VCOIN})の関数としてのVCO周波数(f_{VCO})

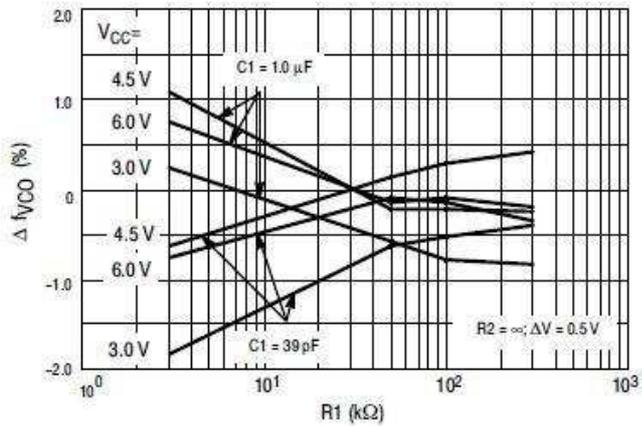
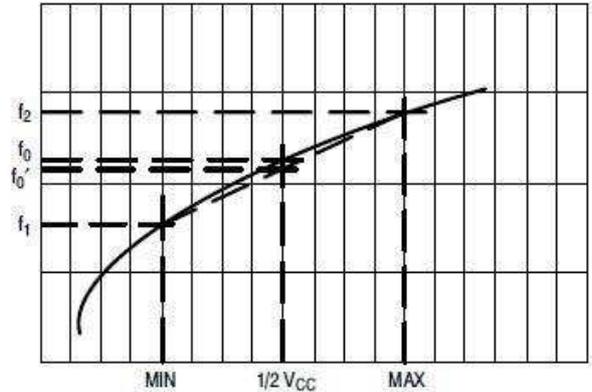


図15A. R_1 , C_1 , V_{CC} 対周波数直線性



$\Delta V = 0.5 \text{ V}$ OVER THE V_{CC} RANGE:
FOR VCO LINEARITY

$$f_0' = (f_1 + f_2) / 2$$

$$\text{LINEARITY} = (f_0' - f_0) / f_0 \times 100\%$$

図15B. VCO周波数直線性の定義

MC74HC4046A

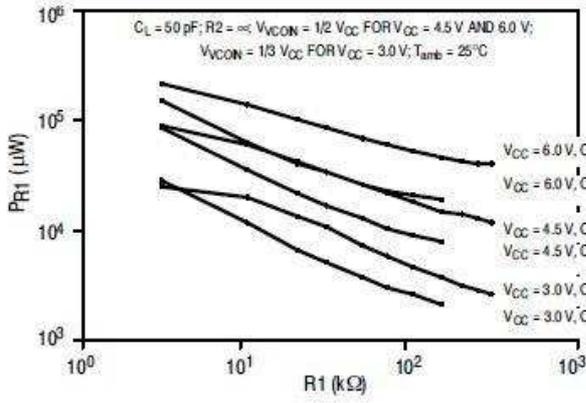


図16. R1 对電力消費

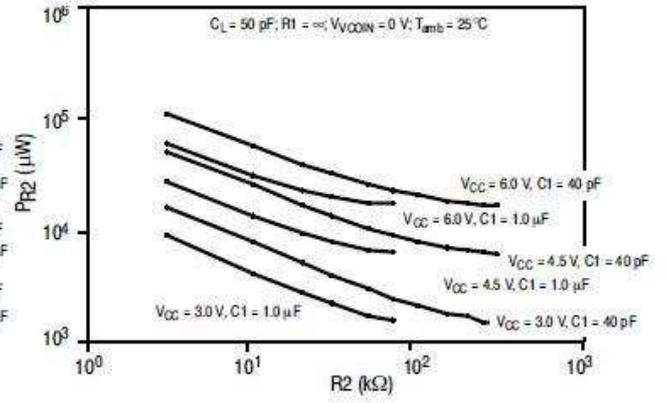


図17. R2 对電力消費

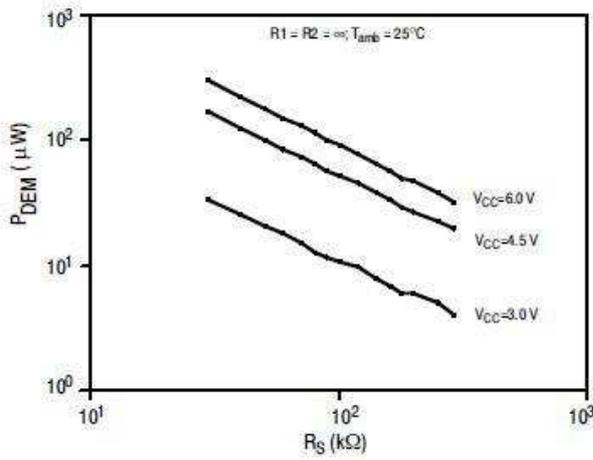


図18. R_S 对復調器のDC電力消費

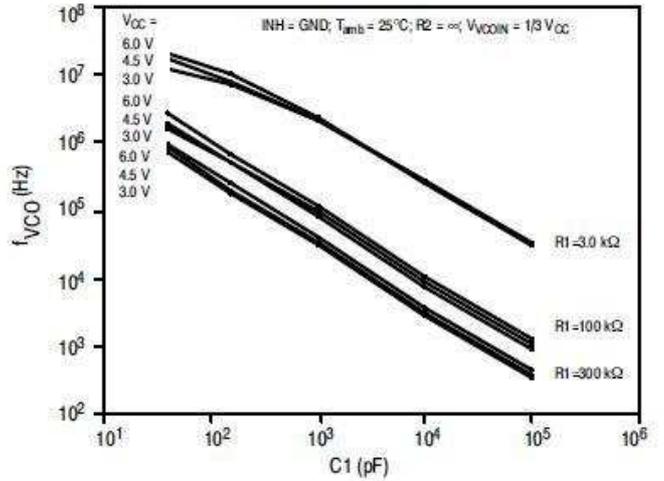


図19. C1 对VCO中心周波数

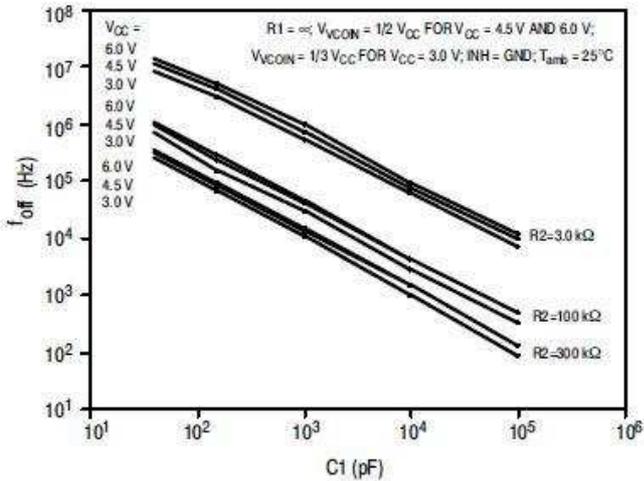


図20. C1 对周波数オフセット

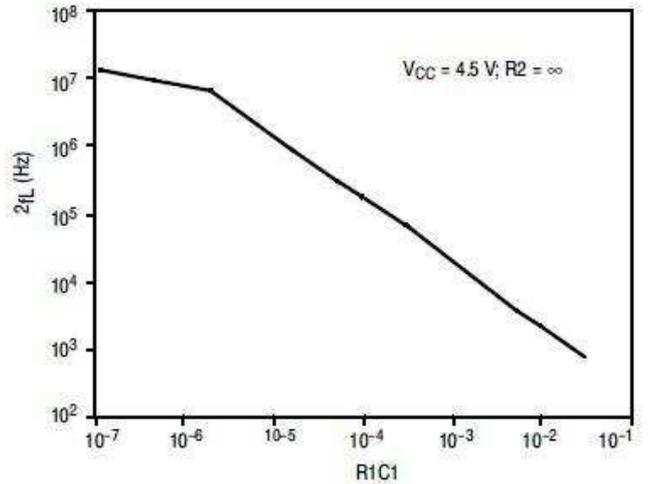


図21. $R1C1$ 对代表的周波数ロック範囲 ($2f_L$)

MC74HC4046A

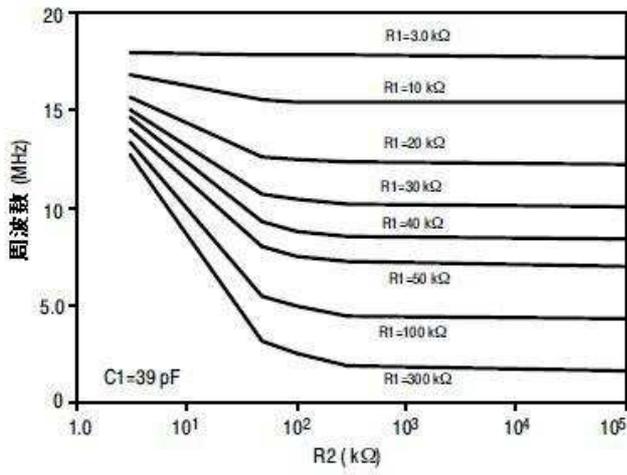


図22. f_{max} 対 R_2

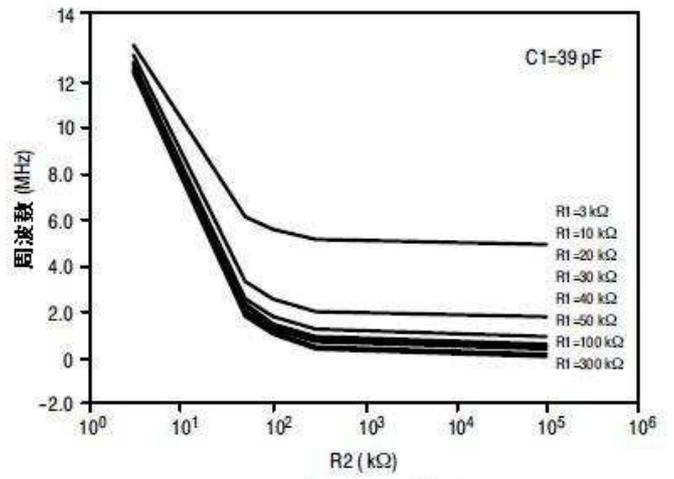


図23. f_{min} 対 R_2

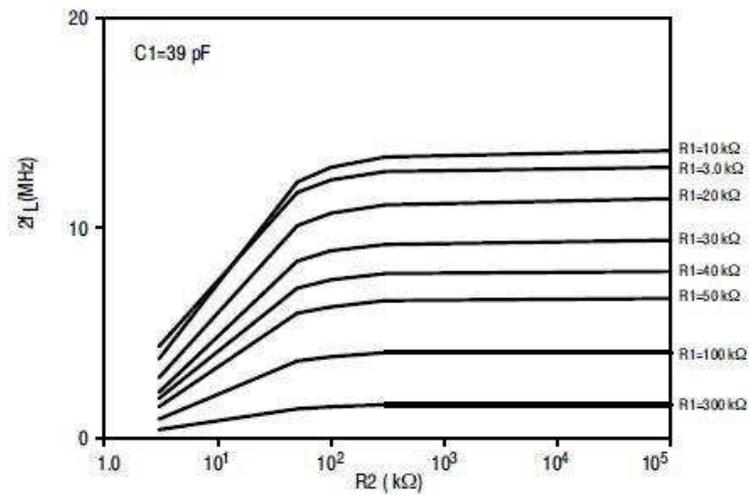


図24. 周波数ロック範囲($2f_L$) 対 R_2

MC74HC406A

応用情報

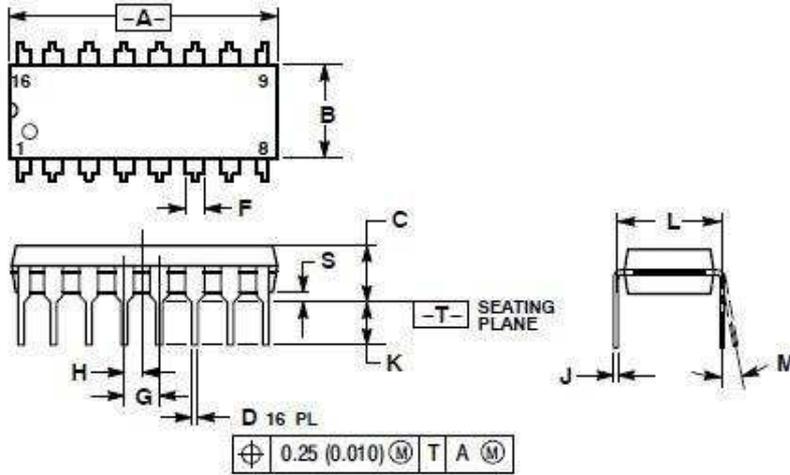
次の情報はR1, R1, C1の近似値の手引きである。図20, 21, 22は以下に示される参照値として利用すべきである。
またR1, R2, C1の値はDC電気特性表に示された最大値を冒すべきではない。

位相比較器 1		位相比較器 2		位相比較器 3	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
<ul style="list-style-type: none"> 既知数 f_0 R1, C1を決定するには図19のf_0を使用すること <p>(VCOの動作特性については図24を参照)</p>	<ul style="list-style-type: none"> 既知数 f_0とf_L fminを計算する $f_{min} = f_0 - f_L$ 図21からC1とR2の値を決定する 図22からR1-C1を決定する C1の値と図22からのR1C1の結果からR1の値を計算する <p>(VCOの動作特性については図25を参照)</p>	<ul style="list-style-type: none"> 既知数 f_{max}とf_0 2fLを得るため、図20と図22を利用してR1, C1の値を決定する。そしてfminを計算するためこれを使用する。 	<ul style="list-style-type: none"> 既知数 f_0とf_L fminを計算する $f_{min} = f_0 - f_L$ 図21からC1とR2の値を決定する 図22からR1-C1を決定する C1の値と図22からのR1C1の結果からR1の値を計算する <p>(VCOの動作特性については図25を参照)</p>	<ul style="list-style-type: none"> 既知数 f_{max}とf_0 2fLを得るため、図20と図22を利用してR1, C1の値を決定する。そしてfminを計算するためこれを使用する。 	<ul style="list-style-type: none"> 既知数 f_0とf_L fminを計算する $f_{min} = f_0 - f_L$ 図21からC1とR2の値を決定する 図22からR1-C1を決定する C1の値と図22からのR1C1の結果からR1の値を計算する <p>(VCOの動作特性については図25を参照)</p>

MC74HC4046A

パッケージ寸法

PDIP-16
CASE 648-08
ISSUE T



NOTES:

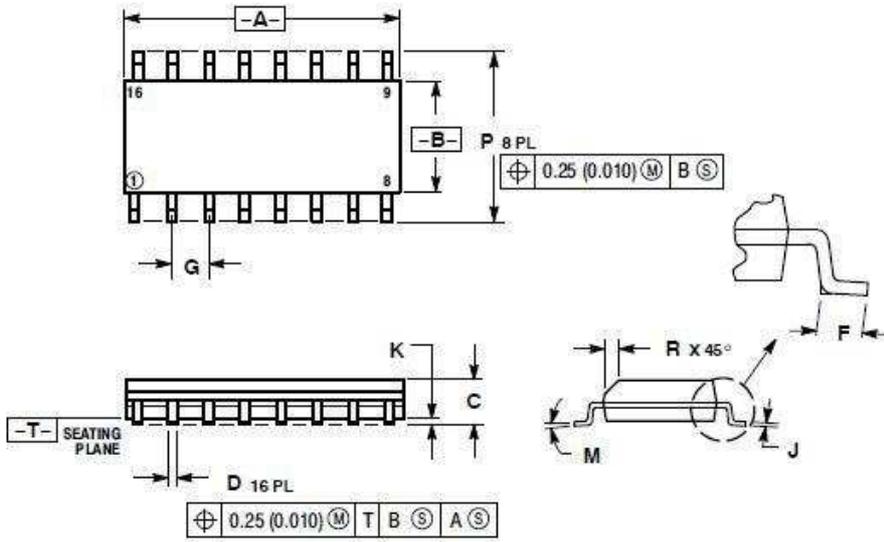
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

MC74HC4046A

パッケージ寸法

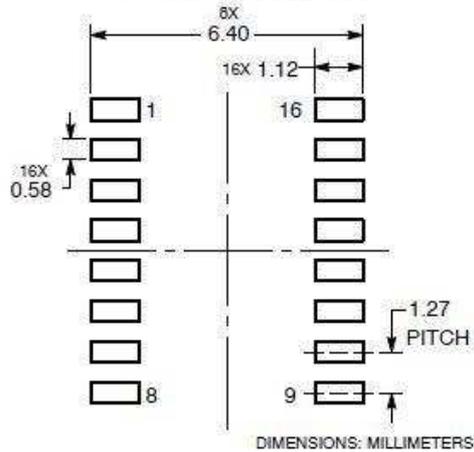
SOIC-16
CASE 751B-05
ISSUE K



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

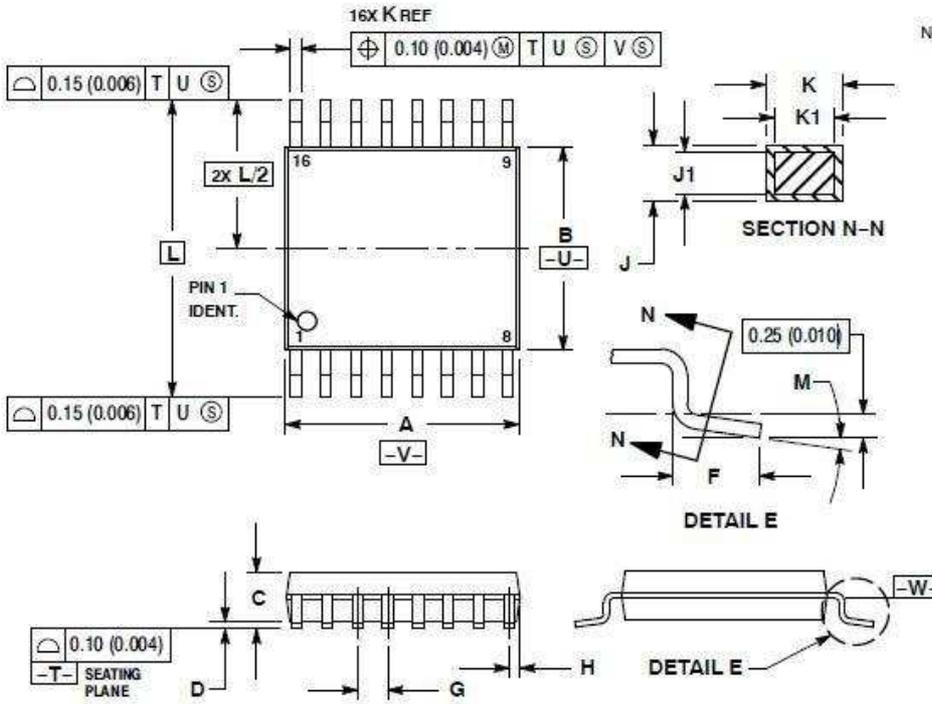
SOLDERING FOOTPRINT



MC74HC4046A

パッケージ寸法

TSSOP-16
CASE 948F-01
ISSUE B

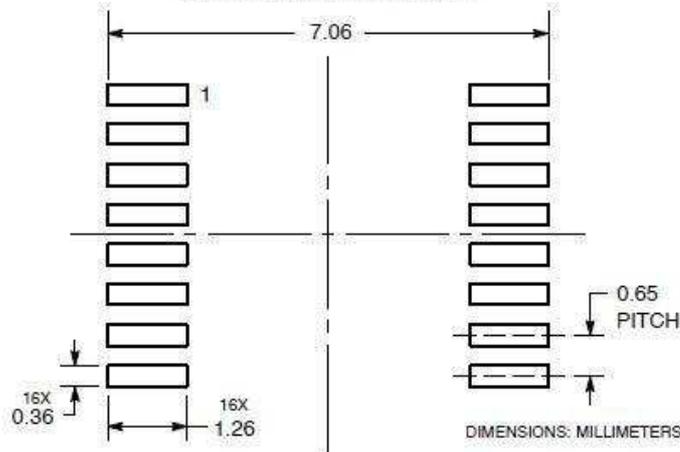


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.30	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	---	1.20	---	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.18	0.28	0.007	0.011
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

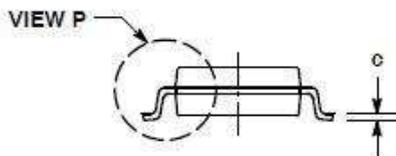
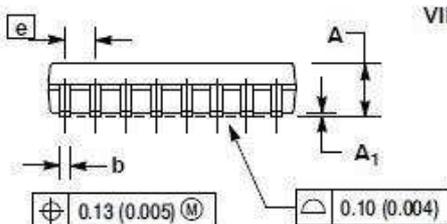
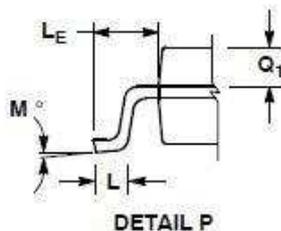
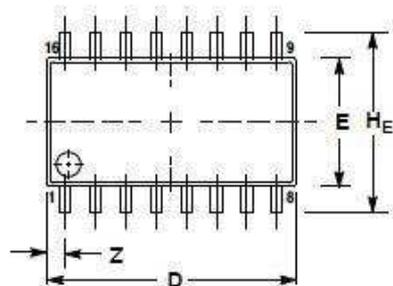
SOLDERING FOOTPRINT



MC74HC4046A

パッケージ寸法

SOEIAJ-16
CASE 966-01
ISSUE A



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	---	2.05	---	0.081
A ₁	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.10	0.20	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H _E	7.40	8.20	0.291	0.323
L	0.50	0.85	0.020	0.033
L _E	1.10	1.50	0.043	0.059
M	0°	10°	0°	10°
Q ₁	0.70	0.90	0.028	0.035
Z	---	0.78	---	0.031