

# Future Technology Devices International Ltd.

## FT232R USB UART IC



**FT232R は次の先進の特徴を持つ USB-シリアル UART インターフェースである。**

- ・非同期シリアルデータ転送インターフェースのためのシングルチップ USB
- ・チップ上に使用された完全 USB プロトコル. USB 仕様のファームウェアプログラミングを必要としない.
- ・デバイス記述子と CBUS I/O コンフィグレーションを記憶する完全に集積された 1024 bit EEPROM
- ・完全に集積された USB 終端抵抗
- ・外部クリスタル不要の完全に集積されたクロック発生器+外部 MCU または FPGA への グルーレス・インターフェースを可能にする オプション クロック出力の選択
- ・TTL レベルの 300~3Mボー (RS422、RS485、RS232) データ転送レート
- ・高データスループットを許容するための技術を円滑にするバッファを利用する 128 バイト受信バッファと 256 バイト送信バッファ
- ・FTDI のロイヤリティ無料の仮想 COMポート (VCP) とダイレクト (D2XX) ドライバが、ほとんどの場合、USB ドライバの開発の要求を不要とする.
- ・独自の USB FTDIChip-ID™
- ・コンフィグレーション可能な CBUS I/O 端子
- ・送信と受信 LED ドライブ信号
- ・UART インターフェースは、7 または 8 データビット、1 または 2 ストップビット、奇数/偶数/マーク/スペース/ノーパリティをサポート
- ・高データスループットのための FIFO 受信と送信バッファ
- ・RD# と WR# ストロープ付きの同期と非同期ビットバンギンターフェースオプション
- ・独自のシリアル番号で既にプログラムされ、供給されたデバイス
- ・バス給電、自己給電、ハイパワーバス給電の各 USB コンフィグレーションをサポート
- ・USB I/O のために集積された +3.3V レベルコンバータ
- ・UART 上の集積されたレベルコンバータと +1.8V と +5V ロジック間をインターフェースするための CBUS
- ・真の 5V/3.3V/2.8V/1.8V CMOS ドライブ出力と TTL 入力
- ・コンフィグレーション可能な I/O 端子出力ドライブ強度
- ・集積されたパワーオンリセット回路
- ・完全に集積された AVCC 供給フィルタリング-外部フィルタリングの必要がない
- ・UART 信号反転オプション
- ・+3.3V (外部発振器使用時) から +5.25V (内部発振器) まで、単電源動作
- ・低動作電流と USB サスペンド電流
- ・低 USB バンド幅消費
- ・UHCI/OHCI/EHCI ホストコントローラ互換
- ・USB 2.0 フルスピード互換
- ・-40°C から 85°C に拡張された動作温度範囲
- ・コンパクト鉛フリー 28ピン SSOP 及び QFN-32 パッケージ (ともに RoHS 準拠) を利用可能

## 1. 標準的な応用

- ・USB-RS232/RS422/RS485間コンバータ
- ・USBへの従来の周辺機器をアップグレード
- ・セルラーやコードレス電話のUSBデータ転送ケーブルとインターフェース
- ・USBのための設計を基本としたMCU/PLD/FPGAとのインターフェース
- ・USBオーディオと低バンド幅ビデオデータ転送
- ・PDA-USB間データ転送
- ・USBスマートカードリーダー
- ・USB機器
- ・USB産業制御
- ・USB MP3プレイヤー インターフェース
- ・USBフラッシュカードリーダーとライター
- ・セットトップボックスPC-USBインターフェース
- ・USBデジタルカメラインターフェース
- ・USBハードウェアモデム
- ・USBワイヤレスモデム
- ・USBバーコードリーダー
- ・USBソフトウェアとハードウェアのコピー防止ドングル

### 1. 1 ドライバサポート

#### ロイヤリティ無料仮想COMポート (VCP) ドライバ

- ・Windows 98、98SE、ME、2000、Server 2003、XP、Server 2008
- ・Windows 7 32、64ビット
- ・Windows XPとXP64ビット
- ・Windows VistaとVista64ビット
- ・Windows XPエンベデッド
- ・Windows CE 4.2、5.0、6.0
- ・Mac OS 8/9、OS-X
- ・Linux 2.4とその上位

#### ロイヤリティ無料D2XXダイレクトドライバ

#### (USBドライバ + DLL S/Wインターフェース)

- ・Windows 98、98SE、ME、2000、Server 2003、XP、Server 2008
- ・Windows 7 32、64ビット
- ・Windows XPとXP64ビット
- ・Windows VistaとVista64ビット
- ・Windows XPエンベデッド
- ・Windows CE 4.2、5.0、6.0
- ・Mac OS 8/9、OS-X
- ・Linux 2.4とその上位

以上に表示されたドライバはFTDIウェブサイト ([www.ftdichip.com](http://www.ftdichip.com)) から無料で全てダウンロード可能である。さまざまなサードパーティドライバもまた他のオペレーティングシステム用に使用できる。-詳細はFTDIウェブサイトを見よ

ドライバのインストールについては、<http://www.ftdichip.com/Documents/InstallGuides.htm> を参照してください

### 1. 2 製品番号

製品番号	パッケージ
FT232RQ-XXXX	32 Pin QFN
FT232RL-XXXX	28 Pin SSOP

注意：XXXX は包装コード

-Reel：テープとリール (SSOPは1リール2000個、QFNは1リール6000個)

-チューブ：チューブ包装、1チューブ47個 (SSOPのみ)

-トレイ：トレイ包装、1トレイ490個 (QFNのみ)

例えば、FT232RQ-Reelはテープとリール包装で6000個である。

### 1. 3 USB準拠

FT232Rは完全にUSB2.0仕様準拠であり、USB-IF Test-ID (TID) 40680004を付与している。

## 2. FT232R ブロック図

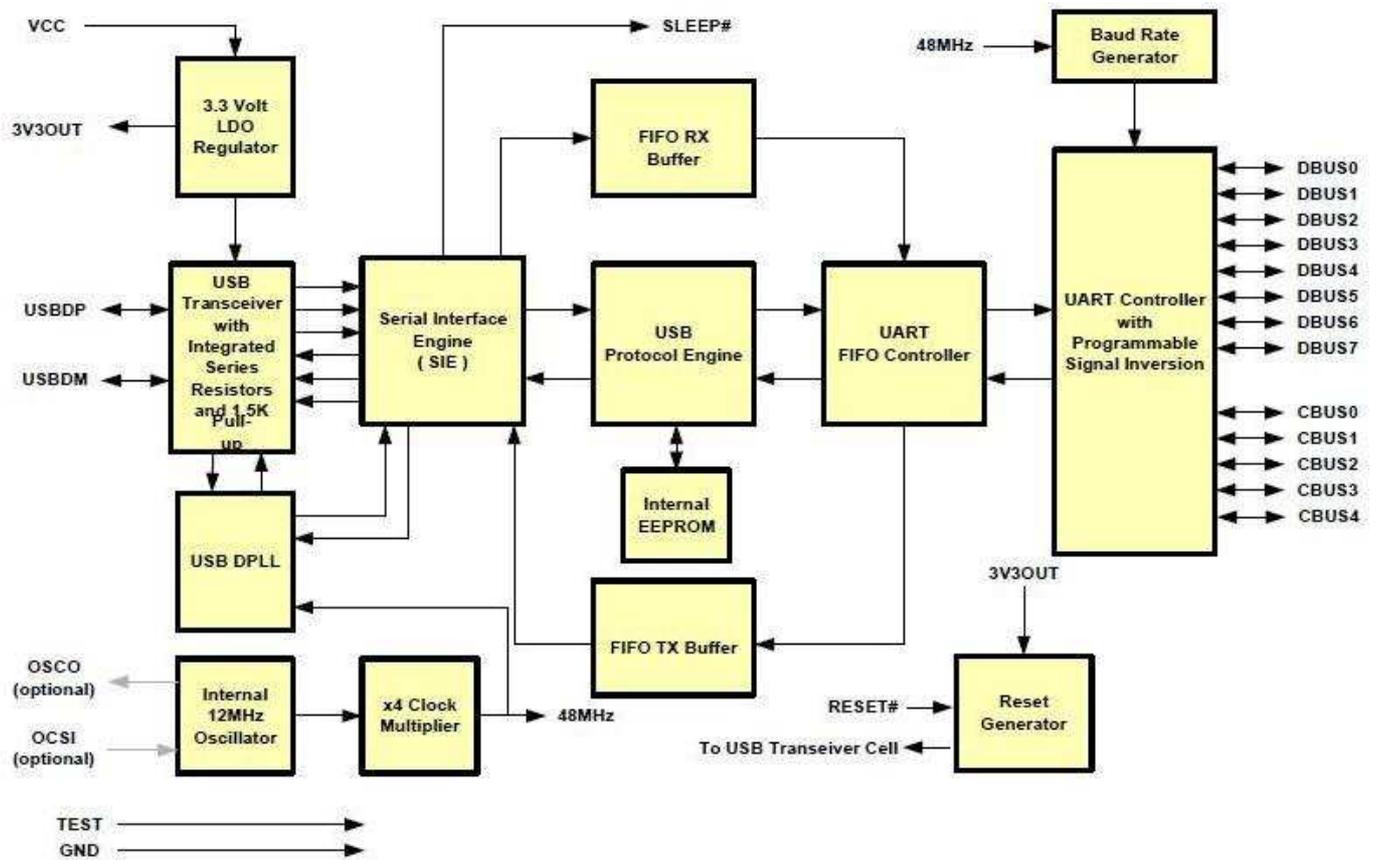


図2.1 FT232Rブロック図

各機能の説明については4章を参照してください。

## 目 次

<b>1. 標準的な応用</b> .....	<b>2</b>
1. 1 ドライバサポート.....	2
1. 2 製品番号.....	2
1. 3 USB準拠.....	3
<b>2. FT232R ブロック図</b> .....	<b>4</b>
<b>3. デバイス端子引出しと信号解説</b> .....	<b>7</b>
3. 1 28-LD SSOPパッケージ.....	7
3. 2 SSOPパッケージ 端子引出し解説.....	7
3. 3 QFN-32パッケージ.....	10
3. 4 QFN-32パッケージ 信号説明.....	10
3. 5 CBUS信号オプション.....	13
<b>4 機能解説</b> .....	<b>14</b>
4. 1 鍵となる特徴.....	14
4. 2 機能ブロックの解説.....	15
<b>5. デバイスの特性と定格</b> .....	<b>17</b>
5. 1 絶対最大規格.....	17
5. 2 DC特性.....	18
5. 3 EEPROM信頼度特性.....	21
5. 4 内部クロック特性.....	21
<b>6. USB電力コンフィグレーション</b> .....	<b>23</b>
6. 1 USBバス給電コンフィグレーション.....	23
6. 2 自己給電コンフィグレーション.....	24
6. 3 電源切替式USBバス給電コンフィグレーション.....	25
6. 4 選択可能な外部ロジック電源を持つUSBバス給電方式.....	26
<b>7. アプリケーション例</b> .....	<b>27</b>
7. 1 USB-RS232コンバータ.....	27
7. 2 USB-RS485コンバータ.....	28
7. 3 USB-RS422コンバータ.....	29
7. 4 USB-MCU UARTインターフェース.....	30
7. 5 LEDインターフェース.....	31
7. 6 外部オシレータの使用.....	32
<b>8. 内蔵EEPROMコンフィグレーション</b> .....	<b>33</b>
<b>9. パッケージ緒元</b> .....	<b>35</b>
9. 1 SSOP-28パッケージ寸法.....	35
9. 2 QFN-32パッケージ寸法.....	36
9. 3 QFN-32パッケージ標準パッドレイアウト.....	37

9. 4	QFN-32パッケージ 標準半田ペースト図.....	37
9. 5	ハンダリフロー図.....	38
10.	連絡先の情報.....	39
付録A	参考.....	40
付録B	図とテーブルの一覧表.....	41
付録C	改定履歴.....	43

### 3. デバイス端子引出しと信号解説

#### 3. 1 28-LD SSOPパッケージ

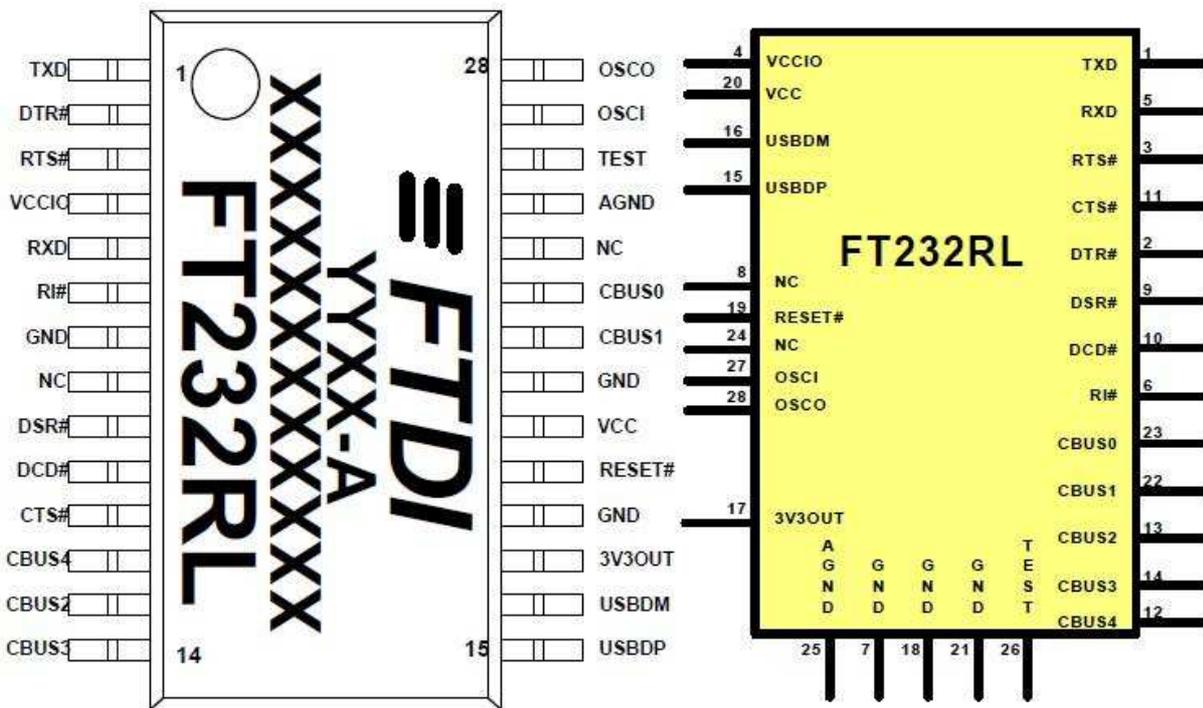


図3. 1 SSOPパッケージ端子引出しと回路記号

#### 3. 2 SSOPパッケージ 端子引出し解説

注意：アクティブロー信号に対し、この文書を通して使われる慣例は、a #に従う信号名である。

端子番号	名称	型	説明
15	USBDP	I/O	USBデータ信号+、内部直列抵抗と3.3Vへの1.5kΩプルアップ抵抗を含む。
16	USBDM	I/O	USBデータ信号-、内部直列抵抗を含む。

テーブル3. 1 USBインターフェイスグループ

端子番号	名称	型	説明
4	VCCIO	PWR	+1.8Vから+5.25VをUARTインターフェイスとCBUSグループ端子(1...3, 5, 6, 9...14, 22, 23)へ供給する。設計を強化されたUSBバスでは、+3.3Vレベルをドライブ出力するため、この端子を3V3OUT端子へ接続するか、または5VCMOSレベルでドライブ出力するため、VCCへ接続する。この端子は低レベルで出力をドライブするため、外部の+1.8Vを+2.8Vサプライへ供給可能である。この場合、この供給はVCCへの供給として同じ源から供給すべきであるということに注意すべきである。これは、設計を強化されたバスでは、USBバスの5Vにより供給されるレギュレータが使用されるべきであることを意味する。
7, 18, 21	GND	PWR	デバイスグラウンド供給端子

端子番号	名前	型	説明
17	3V3OUT	Output	集積したLDOレギュレータからの3.3V出力。この端子は100nFコンデンサを使いグランドへデカップリングすべきである。この端子の主な利用はUSBトランシーバセルのための内部+3.3V供給に、またUSBDPの内部プルアップ抵抗1.5kΩに備えるべきである。必要なら、この端子から外部ロジックへ50mAまで引き出すことができる。この端子はまたVCCIO端子へ供給するために使用可能である。
20	VCC	PWR	+3.3Vから+5.25Vまでデバイスコアへ供給(注意1を見よ)
25	AGND	PWR	内部クロック乗算器のためのデバイスアナロググランド供給

テーブル 3.2 パワーとグランドグループ

端子番号	名前	型	説明
8, 24	NC	NC	内部接続なし
19	RESET#	Input	アクティブローのリセット端子。これはFT232Rをリセットするために外部デバイスによって使用可能である。もし必要ないならば、未接続のままVCCへプルアップする。
26	TEST	Input	デバイスをICテストモードの状態にする。通常の動作ではGNDへ接続しなければならない。さもないとデバイスは機能しないように見えるだろう。
27	OSCI	Input	12MHz発振子セル入力。任意 - 通常の動作では未接続のままよい。(注2を見よ)
28	OSCO	Output	12MHz発振子セル出力。任意 - もし内部発振子が使われるなら、通常動作で未接続のままよい。(注2を見よ)

テーブル 3.3 雑多な信号のグループ

端子番号	名前	型	説明
1	TXD	Output	非同期データ出力を送出する。
2	DTR#	Output	データターミナルレディ制御出力/ハンドシェイク信号
3	RTS#	Output	送信要求制御出力/ハンドシェイク信号を要求する。
5	RXD	Input	非同期データ入力を受信する。
6	RI#	Input	リングインジゲータ制御入力。リモート起動が内部EEPROMで可能であるとき、トーンキングRI#(20mSアクティブローパルス)がPC USBホストコントローラを休止状態から再起動するために使用できる。
9	DSR#	Input	データセットレディ制御入力/ハンドシェイク信号
10	DCD#	Input	データキャリア検出制御入力
11	CTS#	Input	送信許可制御入力/ハンドシェイク信号
12	CBUS4	I/O	コンフィグレーション可能なCBUS出力限定の端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはSLEEP#。CBUS信号オプション、テーブル 3.9を見よ。
13	CBUS2	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはTXDEN。CBUS信号オプション、テーブル 3.9を見よ。

端子番号	名称	型	説明
14	CBUS3	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはPWREN#。CBUS信号オプションテーブル3.9を見よ。PWREN#は10KΩプルアップ抵抗を使用すること。
22	CBUS1	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはRXLED#。CBUS信号オプションテーブル3.9を見よ。
23	CBUS0	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはTXLED#。CBUS信号オプションテーブル3.9を見よ。

テーブル 3.4 UARTインターフェースとCBUSグループ(注3を見よ)

注)

1. 最小動作電圧VCCは、内部クロックジェネレータを使用するとき、+4.0V(VBUS=+5V使用可能)である。+3.3V動作は外部クリスタル発振子を使用することで可能である。
2. 外部クリスタル、セラミックレゾネータ、FT232Rのオシレータの使用の詳細は、セクション7.6を参照してください。
3. 入力モードで使用する時、入力端子はVCCIOへ内部200KΩ抵抗でプルアップされている。内部EEPROMで任意に設定することにより、USBサスペンド(休止状態:PWREN#=“1”)の間、これらの端子は弱プルローにプログラムすることができる。

### 3. 3 QFN-32パッケージ

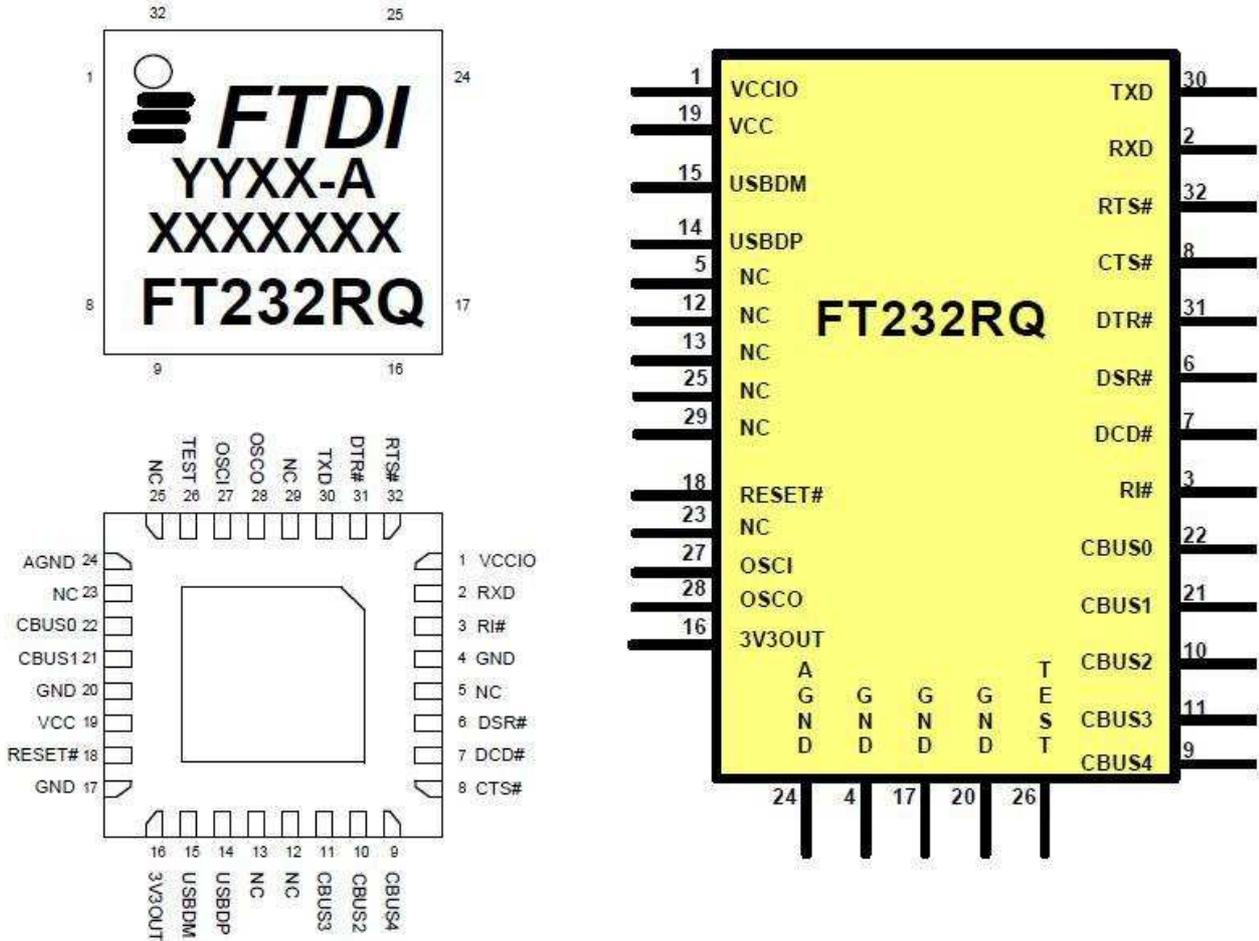


図 3.2 QFN-32パッケージ端子引出しと回路記号

### 3. 4 QFN-32パッケージ 信号説明

端子番号	名称	型	説明
14	USBDBP	I/O	USBデータ信号+, 内部直列抵抗と+3.3Vへの1.5kΩプルアップ抵抗を内部に含む。
15	USBDM	I/O	USBデータ信号-, 内部直列抵抗を内部に含む。

図 3.5 USBインターフェース グループ

端子番号	名称	型	説明
1	VCCIO	PWR	+1.8Vから+5.25VをUARTインターフェースとCBUSグループ端子(2,3,6,7,8,9,10,11,21,22,30,31,32)へ供給する。USBバス給電設計では、+3.3Vレベルをドライブ出力するため、この端子を3V3OUT端子へ接続するか、または5VCMOSレベルでドライブ出力するため、VCCへ接続する。この端子はより低レベルで出力をドライブするため、外部の+1.8Vを+2.8V電源へ供給可能である。この場合、この電源はVCCへの供給として同じ源から供給すべきであるということに注意すべきである。これは、USBバス給電設計では、USBバスの5Vにより供給されるレギュレータが使用されるべきであることを意味する。
4, 17, 20	GND	PWR	デバイスグラウンド供給端子

端子番号	名称	型	説明
16	3V3OUT	Output	集積されたLDOレギュレータからの3.3V出力。この端子は100nFコンデンサを使いグラウンドへデカップリングすべきである。この出力の目的はUSBトランシーバセルのための内部+3.3V供給に、またUSB DPの内部プルアップ抵抗1.5kΩに備えるべきである。必要なら、この端子から外部ロジックへ50mAまで引き出すことができる。この端子はまたVCCIO端子へ供給するために使用可能である。
19	VCC	PWR	+3.3Vから+5.25Vまでデバイスコアへ供給(注意1を見よ)
24	AGND	PWR	内部クロック乗算器のためのデバイスアナロググラウンド供給

テーブル 3.6 パワーとグラウンドグループ

端子番号	名称	型	説明
5, 12, 13, 23, 25, 29	NC	NC	内部接続なし。接続しないこと。
18	RESET#	Input	アクティブローのリセット端子。これはFT232Rをリセットするために外部デバイスによって使用可能である。もし必要ないならば、未接続のままかVCCへプルアップする。
26	TEST	Input	デバイスをICテストモードの状態にする。通常の動作ではGNDへ接続しなければならない。さもないとデバイスは機能しないように見えるだろう。
27	OSCI	Input	12MHz発振子セル入力。任意 - 通常の動作では未接続のままよい。(注2を見よ)
28	OSCO	Output	12MHz発振子セル出力。任意 - もし内部発振子が使われるなら、通常動作で未接続のままよい。(注2を見よ)

テーブル 3.7 雑多な信号のグループ

端子番号	名称	型	説明
30	TXD	Output	非同期データ出力を送出する。
31	DTR#	Output	データターミナルレディ制御出力/ハンドシェイク信号
32	RTS#	Output	送信要求制御出力/ハンドシェイク信号を要求する。
2	RXD	Input	非同期データ入力を受信する。
3	RI#	Input	リングインジゲータ制御入力。リモート起動が内部EEPROMで有効であるとき、トーンリングRI#(20mSアクティブローパルス)がPC USBホストコントローラを休止状態から再起動するために使用できる。
6	DSR#	Input	データセットレディ制御入力/ハンドシェイク信号
7	DCD#	Input	データキャリア検出制御入力
8	CTS#	Input	送信許可制御入力/ハンドシェイク信号
9	CBUS4	I/O	コンフィグレーション可能なCBUS出力限定の端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはSLEEP#。CBUS信号オプション、テーブル3.9を見よ。
10	CBUS2	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはTXDEN。CBUS信号オプション、テーブル3.9を見よ。

端子番号	名称	型	説明
11	CBUS3	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはPWREN#。CBUS信号オプションテーブル 3.9を見よ。PWREN#は10KΩプルアップ抵抗を使用すること。
21	CBUS1	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはRXLED#。CBUS信号オプションテーブル 3.9を見よ。
22	CBUS0	I/O	コンフィグレーション可能なCBUS I/O端子。この端子の機能はデバイス内部EEPROMで構築される。工場出荷時のデフォルトコンフィグレーションはTXLED#。CBUS信号オプションテーブル 3.9を見よ。

テーブル 3.8 UARTインターフェイスとCBUSグループ(注3を見よ)

注)

1. 最小動作電圧VCCは、内部クロックジェネレータを使用するとき、+4.0V(VBUS=+5V使用可能)である。+3.3V動作は外部クリスタル発振子を使用することで可能である。
2. 外部クリスタル、セラミックレゾネータ、FT232Rのオシレータの使用の詳細は、セクション7.6を参照してください。
3. 入力モードで使用するとき、入力端子はVCCIOへ内部200KΩ抵抗でプルアップされている。内部EEPROMで任意に設定することにより、USBサスペンド(休止状態:PWREN#=“1”)の間、これらの端子は弱プルローにプログラムすることができる。

### 3. 5 CBUS信号オプション

CBUS 信号オプション	CBUS上の使用可能な端子	説明
TXDEN	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	RS485用の送信データ許可
PWREN#	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	デバイスがUSBにより構築された後、出力はローとなる。次にUSBサスペンド(休止)モードの間、ハイとなる。この出力はPチャンネルロジックレベルMOSFETスイッチで外部ロジックへの電力を制御するために使われる。この方法でPWREN#を使用するとき、インターフェースをプルダウンに任意にできる。
TXLED#	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	送信データLEDドライブ—USBに対しデータ送信時、ローパルス。さらなる詳細はセクション7.5を見よ。
RXLED#	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	受信データLEDドライブ—USBに対しデータ受信時、ローパルス。さらなる詳細はセクション7.5を見よ。
TX&RXLED#	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	LEDドライブ—USBに対し、データを送信または受信時ローパルス。さらなる詳細はセクション7.5を見よ。
SLEEP#	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	USBサスペンド(休止状態)の間、ローになる。標準的には、USBにおけるRS232コンバータの設計のため、RS232レベルコンバータICに対し、外部TTLをワータウンするために使われる。
CLK48	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	48MHz クロック出力.**
CLK24	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	24 MHz クロック出力.**
CLK12	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	12 MHz クロック出力.**
CLK6	CBUS0, CBUS1, CBUS2, CBUS3, CBUS4	6 MHz クロック出力.**
CBitBangI/O	CBUS0, CBUS1, CBUS2, CBUS3	CBUSビットバングモードオプション。汎用I/Oとして使用されるCBUS端子を4まで許可する。内部EPROMでCBUS0, CBUS1, CBUS2, CBUS3に対し、個々に構築される。FTDIウェブサイトから入手可能な別冊のアプリケーションノート、AN232R-01はCBUSビットバングモードの使い方のさらなる詳細を記述している。
BitBangWRn	CBUS0, CBUS1, CBUS2, CBUS3	同期及び非同期ビットバングモードのWR#ストロープ出力
BitBangRDn	CBUS0, CBUS1, CBUS2, CBUS3	同期及び非同期ビットバングモードのRD#ストロープ出力

テーブル 3.9 CBUSコンフィグレーション制御

\* PWREN#は10KΩプルアップ抵抗を使用すべきである。

\*\* USBサスペンドモード(休止状態)のとき、出力クロックもまたサスペンド(休止)となる。

## 4 機能解説

FT232Rはデバイス内部に、外部EEPROM、USB終端抵抗、外部クリスタル不要の集積されたクロック回路を完全に融合することで、USBシリアル設計を簡単にし、外付け部品数を減らすUSBシリアルUARTインターフェースデバイスである。

それは有効な全USBバンド幅をできるかぎり小さく利用することにより、USBホストコントローラを効率よく動かすために設計されてきた。

### 4.1 鍵となる特徴

**機能の統合.** 完全に集積されたEEPROM、USB終端抵抗、クロック発生器、AVCCフィルタリング、PORとLDOレギュレータ

**再構築可能なCBUS I/O端子オプション.** 完全に集積されたEEPROMがコントロールバス (CBUS) 機能のコンフィグレーション、信号の反転、ドライブ強度の選択を可能にする。5つの再構築可能なCBUS I/O端子がある。これらの再構築可能なオプションは

1. TXDEN-RS485設計用の送信許可
2. PWREN#-ハイパワー、バス給電設計のための電力制御
3. TXLED#-データ送信時LEDにパルス出力
4. RXLED#-データ受信時LEDにパルス出力
5. TX&RXLED#-データ送信または受信時LEDにパルス出力
6. SLEEP#-USBサスペンドモード (休止状態) に入るデバイスを示す
7. CLK48/CLK24/CLK12/CLK6-48MHz、24MHz、12MHz、6MHzクロック出力信号オプション

CBUS端子は、非同期ビットバングモード同様にGPIO端子として個々に構築されることも可能である。UARTインターフェースが使用されている間、このモードを使用することが可能である。通常の動作時に有効である汎用目的のI/O端子を4つまで準備している。FTDIウェブサイトから入手可能なアプリケーションノート、AN232R-01はこの特徴を解説している。

CBUS線は、内部EEPROM内でビットを設定することによりこれらの出力オプションのいずれか1つで構築される。デバイスは、前もってプログラムされた、最もよく使用される端子定義で構築される。-詳細はセクション8を見よ。

**RD#とWR#ストローブを伴う非同期ビットバングモード.** FT232RはFTDIの以前のチップの世代のビットバングモードをサポートする。ビットバングモードでは、8つのUART線が正常なインターフェースモードから8ビット汎用目的のI/Oポートへ切り替えることができる。データパケットはデバイスへ送られ、そして、それらは (ポーレートブリスケラと同等の) 内部タイマーで制御された速度で連続的にインターフェースへ送られるだろう。FT232Rデバイスとともに、このモードは、ビットバングI/Oバスへアクセスすることにより外部ロジックをクロック同期させる内部のRD#とWR#ストローブ信号を出力することにより強化されてきた。このオプションはFTDIウェブサイトから入手可能な別のアプリケーションノートにさらに完全に記述されるだろう。

**同期ビットバングモード.** FT232Rは同期ビットバングモードをサポートする。このモードは、デバイスが書き込んでいるときインターフェース端子が読みだけになる非同期ビットバングモードとは異なる。これは、返されたデータが出力データに同期するように、制御プログラムに対し出力変化への応答を計測することをより容易にする。FTDIウェブサイトから入手可能なアプリケーションノート、AN232R-01はこの特徴を記述している。

**FTDIChip-ID™.** FT232Rは新たなFTDIChip-ID™セキュリティドングルの特徴をも含む。このFTDIChip-ID™の特徴は製造の間に各デバイス内に焼き付けられる独自の番号を認めていることである。この番号は再プログラムできない。この番号はUSB経由で読み込みのみ可能であり、いかなる顧客のアプリケーションソフトウェアもコピーから保護するために使用できるセキュリティドングルの基本を形成する。これはソフトウェアライセンスによるドングルでFT232Rを使用する可能性を認める。これに加えて、他の情報と共に暗号化されるとき、更新可能なライセンス方式がFTDIChip-ID™番号を基本に実行される。この暗号化された番号はFT232R内蔵EEPROMのユーザー領域に書き込まれ、さらに復号化され、その後ライセンスが有効であることを確かめるため、保護されたFTDIChip-ID™番号を比較される。ウェブベースのアプリケーションはこの方法を製品のライセンスの維持に使用可能である。FTDIウェブサイトから入手可能な、アプリケーションノート、AN232R-02がこの特徴を記述している。

FT232Rは名目上動作モード電流15mAおよび、名目上USBサスペンドモード電流70μA、+3.3Vと+5Vの間の電圧供給で動作可能である。これはUSBサスペンドモード電流制限2.5mAに対応するため、周辺設計に対しより大きなマージンを可能にする。UARTインターフェース内に集積されたレベルコンバータは、+1.8V、2.5V、+3.3Vまたは+5Vで動くUARTロジックにFT232Rをインターフェースすることを可能にする。

## 4. 2 機能ブロックの解説

次項はFT232R内の各機能の詳細である。図2. 1に示したブロック図を参照してください。

**内蔵EEPROM.** FT232Rの内蔵EEPROMはUSBベンダーID (VID)、プロダクトID (PID)、デバイスシリアル番号、製品品種文字列、さまざまな他のUSBコンフィグレーション記述子を記憶するために使われる。内蔵EEPROMはCBUS端子機能を構築するためにも使われる。FT232Rはセクション8に記述されるように前もってプログラムされた内蔵EEPROMを持つ。内蔵EEPROMのユーザー領域は追加データの記憶が可能なのでシステム設計者に有用である。内蔵EEPROM記述子は、特別な電圧の必要も無くUSB経由で回路内にプログラムすることができる。それはMPROGと呼ばれるFTDIユーティリティソフトウェアを使用することでプログラムが可能で、FTDIウェブサイト上のFTDIユーティリティからダウンロードできる。

**+3.3V LDOレギュレータ.** +3.3V LDOレギュレータはUSBトランシーバセル出力バッファをドライブするための+3.3Vレファレンス電圧を発生する。それは3V3OUTレギュレータ出力端子へ接続すべき外部デカップリングコンデンサを必要とする。それはUSBDP上の1.5KΩ内部プルアップ抵抗への+3.3V電源を備えている。LDOの主な機能は、外部ロジックへの電源供給のためと言うよりはUSBトランシーバとリセット発生器セルへ電源を供給することである。しかしながら、それは最大電流50mAの+3.3Vの名目の電源を必要とする外部回路に供給するために使われる。

**USBトランシーバ.** USBトランシーバセルはUSBケーブルへつなぐUSB1.1/USB2.0フルスピード物理インターフェースを備える。出力ドライバは+3.3Vレベルスルーレート制御信号を備えて、それに対し、差動入力レシーバと2つのシングルエンデッド入力レシーバがUSBデータ入力に、シングルエンデッド0 (SE0) とUSBリセット検出条件を丁寧に備えている。この機能はまたUSBデータ線上に内蔵USB直列終端抵抗を、またUSBDP上に1.5KΩプルアップ抵抗を内包する。

**USB DPLL.** USB DPLLセルは、入ってくるNRZI USBデータをロックし、シリアルインターフェースエンジン (SIE) ブロックのためのリカバードクロックとデータ信号を発生する。

**内蔵1.2MHz発振器.** 内蔵1.2MHz発振器セルは1.2MHz基準クロックを発生する。これは×4クロック乗算セル入力に接続している。1.2MHz発振器はまたSIE、USBプロトコルエンジン、UART FIFOコントローラブロックのための基準クロックとして使用される。

**クロック乗算器/除算器.** クロック乗算器/除算器は内蔵発振器からの1.2MHz入力を受け、4.8MHz、2.4MHz、1.2MHz、6MHz基準クロック信号を発生する。4.8MHz基準クロックはUSB DPLLとボーレートジェネレータブロックで使用される。

**シリアルインターフェースエンジン (SIE).** シリアルインターフェースエンジン (SIE) ブロックはUSBデータのパラレル-シリアル、またシリアル-パラレル変換を実行する。USB2.0仕様によると、ビットスタッフィング/アンタッフティングとCRC5/CRC16生成をおこなう。それはまたUSBデータストリーム上のCRCを検査する。

**USBプロトコルエンジン.** USBプロトコルエンジンはデバイスUSBコントロールエンドポイントからのデータストリームを管理する。それはUSBホストコントローラとUSB2.0仕様9章によりUARTの機能変数を制御するためのコマンドにより生成される低レベルUSBプロトコル要求を処理する。

**FIFO RXバッファ (128バイト).** USBデータ出力エンドポイント経由で、USBホストコントローラからUARTへ送ったデータがFIFO RX (受信) バッファに記憶される。データは、UART FIFOコントローラの制御下でバッファからUART送信レジスタへ移動される。(USBインターフェースに関するRX)

**FIFO TXバッファ(128バイト)**. UART受信レジスタからのデータがTXバッファ内に記憶される。USBホストコントローラは、デバイスデータ入力エンドポイント (USBインターフェースに関するTX) からのデータに対するUSB要求を送ることにより、データをFIFO TXバッファから移動する。

**UART FIFOコントローラ**. UART FIFOコントローラはFIFO RXとTXバッファとUART送受信レジスタ間のデータの転送を処理する。

**プログラム可能な信号反転とハイドライブを伴うUARTコントローラ**. UART FIFOコントローラと共にUARTコントローラは、FIFO RXとFIFO TXバッファとUART送受信レジスタの間のデータ転送を処理する。それは、RS232C (またはRS422またはRS485) インターフェース上のデータの非同期7または8ビットパラレルシリアル、さらにシリアルパラレル変換を行う。

UARTモードによりサポートされる制御信号はRTS、CTS、DSR、DTR、DCD、RIを含む。UARTコントローラはまた、RS485トランシーバへのインターフェースを手助けする送信器許可制御信号端子オプション (TXDEN) を備える。RTS/CTS、DSR/DTR、XON/XOFFハンドシェイクオプションもまたサポートされる。ハンドシェイクは高速応答時間を保証するためにハードウェア内で処理される。UARTインターフェースもまたRS232C BREAK設定と検出条件をサポートする。

加えて、UART信号は各々独立に反転でき、再構築可能なハイドライブ強度機能をもつ。これらの2つの特徴はEEPROMで再構築可能である。

**ボーレートジェネレータ**. ボーレートジェネレータは48MHz基準クロックからUARTコントローラへの×16クロック入力を用意している。それはボーレート (分数または下位整数 (sub-integer) + 数で割るために使われる) の精密な調整を与える14ビットプリスケアラと3つのレジスタビットから成る。これは183から3Mボーまでプログラム可能なUARTのボーレートを決定する。

FT232Rは全ての標準ボーレートおよび183から3Mボーまでの非標準ボーレートをサポートする。達成可能な非標準ボーレートは次の式で計算される。

$$\text{ボーレート} = 3000000 / (n + x)$$

‘n’は2と16384 (2<sup>14</sup>) の間のある整数で、‘x’は数値0、0.125、0.25、0.375、0.5、0.625、0.75、0.875の下位整数である。例えばn=1、x=0のとき、1と2の間の値のボーレート除数は使えない。

これは183.1から3,000,000ボーの範囲の達成可能なボーレートを与える。非標準ボーレートが正規なものとしてドライバへ要求されたボーレート値を渡すことを要求されて、FTDIドライバが要求された除数を計算するとき、そのボーレートをセットする。さらなる詳細についてはFTDIウェブサイト上のFTDIアプリケーションノートAN232B-05を見よ。

**リセット発生器**. 集積されたリセット発生器セルは、電源立ち上げ時にデバイス内部回路に信頼できるパワーオンリセットを実行する。RESET#入力端子にはFT232Rをリセットするための外部デバイスを接続できる。

RESET#はVCCへ接続するか、使用しないならば未接続のままでよい。

## 5. デバイスの特性と定格

### 5. 1 絶対最大規格

FT232R の絶対最大規格は次の通りである。これらは絶対最大規格システム (IEC 60134) によるものである。これらを超えることはデバイスに恒久的な損害を与える原因となる。

変数	値	単位
保存温度	-65°C to 150°C	Degrees C
工場環境でのフロアライフ(袋外) (30°C/60%相対湿度)	168 時間 (IPC/JEDEC J-STD-033A MSL Level 3 Compliant)*	時間
環境温度 (電源適用時)	-40°C to 85°C	Degrees C
MTTF FT232RL	11162037	時間
MTTF FT232RQ	4464815	時間
VCC 供給電圧	-0.5 to +6.00	V
DC 入力電圧 - USBDP and USBDM	-0.5 to +3.8	V
DC 入力電圧 - ハイインピーダンス 双方向	-0.5 to + (VCC +0.5)	V
DC 入力電圧 - 全ての他の入力	-0.5 to + (VCC +0.5)	V
DC 出力電流 - 出力	24	mA
DC 出力電流 - ローインピーダンス 双方向	24	mA
消費電力 (VCC = 5.25V)	500	mW

テーブル 5.1 絶対最大規格

\*もしデバイスがこの時間制限を越えて包装から出した状態で保管されていた場合、使用前にデバイスは焼かれているはずである。デバイスは+125°Cの温度まで徐々に上げられ、17時間以内に焼かれるはずである。

## 5. 2 DC特性

DC特性 (周囲温度 = -40°C to +85°C)

変数	説明	最小	標準	最大	単位	条件
VCC1	VCC 動作時供給電圧	4.0	---	5.25	V	内部発振器使用時
VCC1	VCC 動作時供給電圧	3.3	---	5.25	V	外部クリスタル使用時
VCC2	VCCIO 動作時供給電圧	1.8	---	5.25	V	
Icc1	動作時供給電流	---	15	---	mA	通常動作
Icc2	動作時供給電流	50	70	100	μA	USBサスペンド (休止状態)
3V3	3.3V レギュレータ出力	3.0	3.3	3.6	V	

テーブル 5.2 動作電圧と電流

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	3.2	4.1	4.9	V	I source = 2mA
Vol	ローレベル出力電圧	0.3	0.4	0.6	V	I sink = 2mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.3 UART と CBUS I/O 端子 特性 (VCCIO = +5.0V, 標準ドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	2.2	2.7	3.2	V	I source = 1mA
Vol	ローレベル出力電圧	0.3	0.4	0.5	V	I sink = 2mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.4 UART と CBUS I/O 端子 特性 (VCCIO = +3.3V, 標準ドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	2.1	2.6	2.8	V	I source = 1mA
Vol	ローレベル出力電圧	0.3	0.4	0.5	V	I sink = 2mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.5 UART と CBUS I/O 端子 特性 (VCCIO = +2.8V, 標準ドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	1.32	1.62	1.8	V	I source = 0.2mA
Vol	ローレベル出力電圧	0.06	0.1	0.18	V	I sink = 0.5mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.6 UART と CBUS I/O 端子 特性 (VCCIO = +1.8V, 標準ドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	3.2	4.1	4.9	V	I source = 6mA
Vol	ローレベル出力電圧	0.3	0.4	0.6	V	I sink = 6mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.7 UART と CBUS I/O 端子 特性 (VCCIO = +5.0V, 標準ドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	2.2	2.8	3.2	V	I source = 3mA
Vol	ローレベル出力電圧	0.3	0.4	0.6	V	I sink = 8mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.8 UART と CBUS I/O 端子 特性 (VCCIO = +3.3V, 標準ドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	2.1	2.6	2.8	V	I source = 3mA
Vol	ローレベル出力電圧	0.3	0.4	0.6	V	I sink = 8mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.9 UART と CBUS I/O 端子特性 (VCCIO = +2.8V, ハイドライブレベル)

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	1.35	1.67	1.8	V	I source = 0.4mA
Vol	ローレベル出力電圧	0.12	0.18	0.35	V	I sink = 3mA
Vin	入力スイッチング スレショルド電圧	1.0	1.2	1.5	V	**
VHys	入力スイッチング ヒステリシス電圧	20	25	30	mV	**

テーブル 5.10 UART と CBUS I/O 端子特性 (VCCIO = +1.8V, ハイドライブレベル)

\*\* 入力端子のみがVCCIOへ接続された内部200KΩプルアップ抵抗を持つ。

変数	説明	最小	標準	最大	単位	条件
Vin	入力スイッチング スレショルド電圧	1.3	1.6	1.9	V	
VHys	入力スイッチング ヒステリシス電圧	50	55	60	mV	

テーブル 5.11 RESET#とTEST端子の特性

変数	説明	最小	標準	最大	単位	条件
UVoh	I/O端子静止時出力 (ハイレベル)	2.8		3.6	V	D+:3V3OUT $\wedge$ RI= 1.5K $\Omega$ D-:GND $\wedge$ RI=15K $\Omega$
UVol	I/O端子静止時出力 (ローレベル)	0		0.3	V	D+:3V3OUT $\wedge$ RI= 1.5K $\Omega$ D-:GND $\wedge$ RI=15K $\Omega$
UVse	シングルエンデッド RX スレショルド電圧	0.8		2.0	V	
UCom	差動コモンモード電圧	0.8		2.5	V	
UVDif	差動入力感度	0.2			V	
UDrvZ	ドライブ出力インピーダンス	26	29	44	Ohms	注1を見よ

テーブル 5.12 USB I/O端子 (USB DP, USB DM) 特性

### 5.3 EEPROM信頼度特性

内蔵1024ビットEEPROMは次の信頼度特性を持つ。

変数	値	単位
データ保持期間	15	年
リード/ライト繰返し	100,000	サイクル

テーブル 5.13 EEPROM 特性

### 5.4 内部クロック特性

内蔵クロック発振器は次の特性を持つ。

変数	値			単位
	最小	標準	最大	
動作周波数 (注1を見よ)	11.98	12.00	12.02	MHz
クロック幅	83.19	83.33	83.47	ns
デューティサイクル	45	50	55	%

テーブル 5.14 内部クロック特性

注1)  $\pm 1667$  ppm 相当

変数	説明	最小	標準	最大	単位	条件
Voh	ハイレベル出力電圧	2.1	2.8	3.2	V	I source = 3mA
Vol	ローレベル出力電圧	0.3	0.4	0.6	V	I sink = 8mA
Vin	入力スイッチング スレシヨルド	1.0	1.2	1.5	V	

テーブル 5.15 OSCI, OSCO 端子特性 – 注1を見よ

注1：電源が供給されると、FT232Rはその内蔵クロック発振器を使用するためコンフィグレーションされる。外部発振器またはクリスタルが使用されるとき、これらの特性が適用される。

## 6. USB電力コンフィグレーション

次のセクションはFT232Rに対して可能なUSB電力コンフィグレーションを説明する。端子がFT232RLとFT232RQパッケージオプションとは異なるので、図では理解を容易にするために端子番号を省いた。

### 6.1 USBバス給電コンフィグレーション

図に示した全USB電力コンフィグレーションは、FT232Rデバイスのための2つのパッケージオプションに適用される。パッケージオプション端子引出しと信号の説明はセクション3を参照すること。

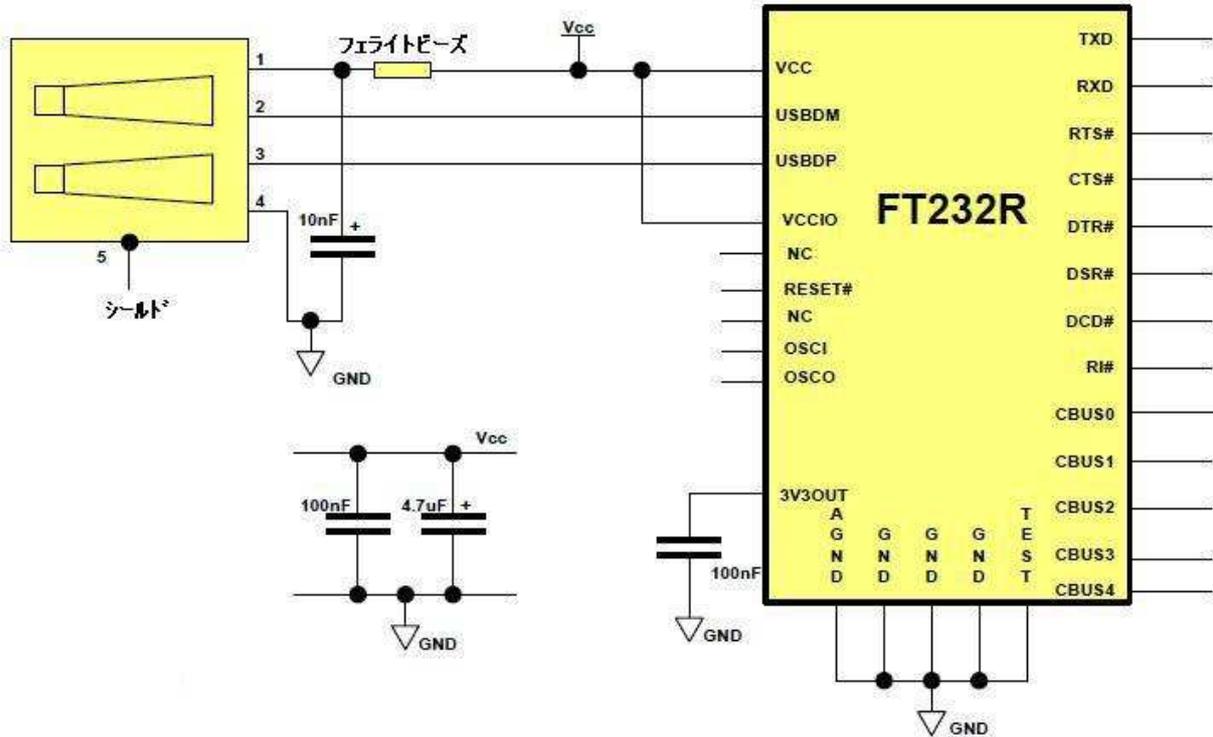


図 6.1 バス給電コンフィグレーション

図6.1は標準的なUSBバス給電設計コンフィグレーションでのFT232Rを説明するものである。USBバス給電デバイスはその電力をUSBバスから得る。USBバス電力の基本的なきまりは次の通りである。

- i) USBへのプラグイン時、デバイスは100mA以上の電流を引き出すべきではない。
- ii) USBサスペンドモードでは、デバイスは2.5mA以上引き出すべきでない。
- iii) バス受電方式ハイパワーUSBデバイス（100mA以上引き出す）は、PWREN#として構築されたCBUS端子の1つを使用すべきであり、プラグイン時100mA以下、USBサスペンドでは2.5mA以下で電流を維持するためにそれを使うべきである。
- iv) 100mA以上消費するデバイスは、USBバス給電ハブに接続することはできない。
- v) USBバスから500mA以上引き出そうとするデバイスは接続できない。

FT232Rの内蔵EEPROM内の電力記述子はデバイスによって引き出せる電流に合うようにプログラムされるべきである。

フェライトビーズはFT232RからのEMIノイズを減らすためUSB電源に直列に接続され、USBホストへのUSBケーブルから放射される回路を結合させる。フェライトビーズの値はアプリケーションにより引き出される全電流による。フェライトビーズの最適値はSteward (www.steward.com)、例えば、Steward Part #MI0805K400R-10から入手できる。

注) もしPWREN# (CBUSを使って可能) を用いるなら、端子は10KΩ抵抗でVCCIOへプルアップすべきである。

## 6. 2 自己給電コンフィグレーション

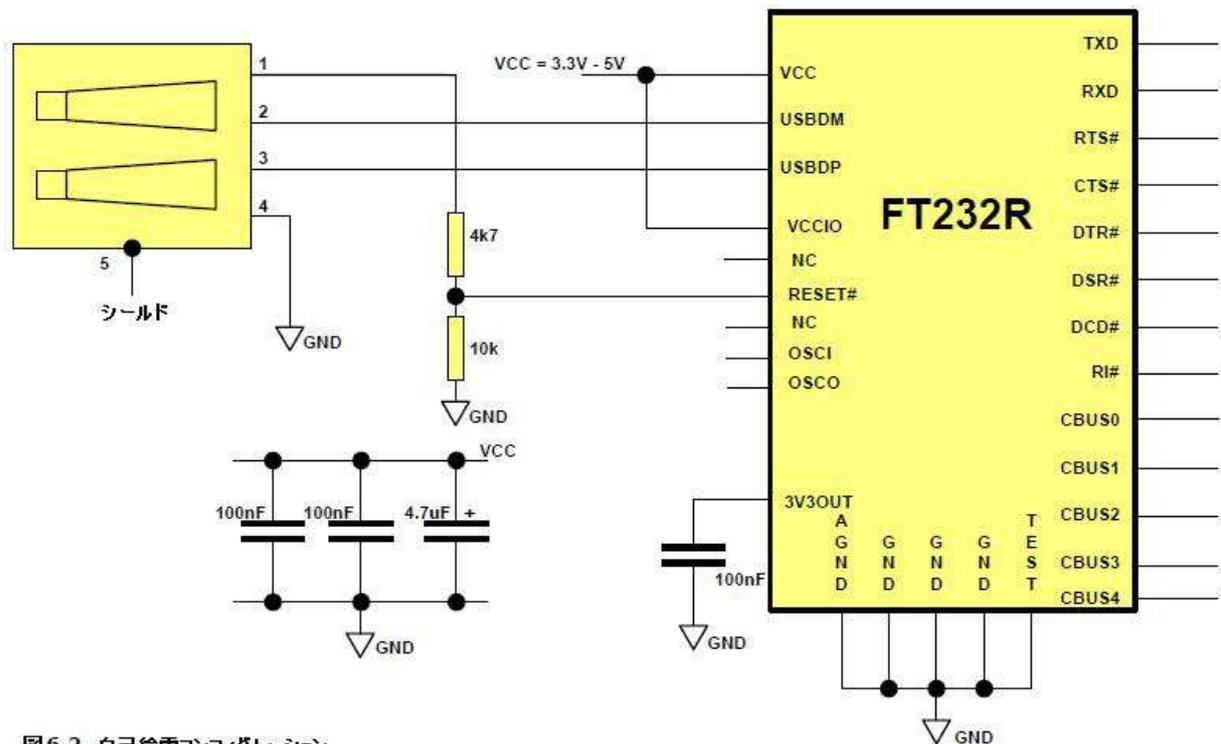


図6.2 自己給電コンフィグレーション

図6. 2は標準的なUSB自己給電方式コンフィグレーションでのFT232Rを説明するものである。USB自己給電デバイスはその電力を自身の電源VCCから得て、USBバスから電流を引き出さない。USB自己給電デバイスの基本的なきまりは次の通りである。

- i) USBホストまたはハブコントローラがパワーダウンしたとき、自己給電デバイスはUSBバスの電流を強制的に落とすべきではない。
- ii) 自己給電デバイスはそれ自身の電源を持つので、通常動作時及びUSBサスペンド（休止状態）に必要なだけの電流を使用可能である。
- iii) 自己給電デバイスは、いかなるUSBホスト、バス給電方式USBハブまたは自己給電方式USBハブでも使用可能である。

FT232Rの内蔵EEPROM内の電力記述子はゼロ値（自己給電方式）にプログラムされるべきである。

上記の最初の要求に従うため、USBバス電力端子（1ピン）がFT232RデバイスのRESET#端子を制御するために使用されるべきである。USBホストまたはハブが起動するとき、USBDP上の内蔵1.5KΩ抵抗が+3.3V（4.7Kと10K抵抗ネットワークを使用して生成される）にプルアップされ、このようにしてUSBホストまたはハブに対しフルスピードデバイスのようなデバイスを認識する。USBホストまたはハブが電源断となったとき、RESET#がローとなり、FT232Rはリセット状態を保持される。RESET#がローになると、内蔵1.5KΩ抵抗が如何なる電源（ハブまたはホストが電源断である）にもプルアップされないため、1.5KΩプルアップ抵抗に対しUSBDPから流れる電流は無い。このようにおこなわれる電源故障は、あるUSBホストやハブコントローラにとって通常ではない電源起動の原因となるかもしれない。

図6. 2は+3.3Vから+5Vの電源をもつ自己給電設計を示す。+3.3Vまたは+1.8Vロジックへインターフェースするいかなる設計も、VCCIOへの+3.3Vまたは+1.8V電源を持つことにより図6. 2とは異なる。この場合VCCには、VCCへ供給する+3.3Vから+5Vの範囲以上を与える。

注：

1. FT232Rがリセット中は、UARTインターフェースI/O端子はトライステート状態である。入力端子はVCCIOへの内蔵200KΩプルアップ抵抗を有するので、何らかの外部ロジックによりドライブされない限り、弱プルハイである。
2. 内蔵FT232R発振器を使用するとき、+VCC供給電圧の最小値は+4.0Vでなければならない。

### 6. 3 電源切替式USBバス給電コンフィグレーション

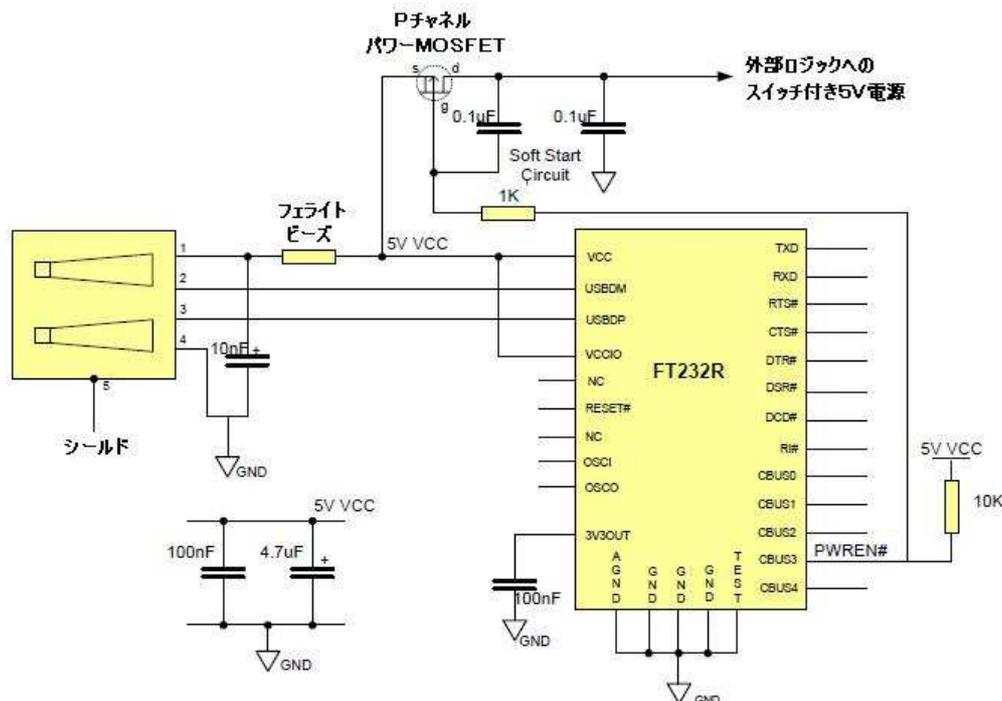


図6.3 電源スイッチ付きバス給電コンフィグレーション

USBバス給電アプリケーションの要求は、USBがサスペンドモード時、アプリケーションは全電流の引き込みを2.5mA以下とすることである。この要求は外部ロジックを含む。ある外部ロジックはPWREN#信号を監視することで自身を低電流状態にパワーダウンすることができる。この方法で自己パワーダウンできない外部ロジックのために、FT232Rは簡単ではあるが、USBサスペンドモードの間に電力を切る効果的な方法を準備している。

図6.3は外部ロジックへの電力を制御するためのPチャンネルMOSFETを使用する例を示している。これを行うための最適なデバイスはインターナショナル・レクティフィア (www.irf.com) のIRLML6402または同等品である。MOSFETがオンするとき、1KΩの直列抵抗と0.1μFコンデンサから成る“ソフトスタート”回路が電流サージを抑えるために使われている。MOSFETがソフトスタート回路無しでスイッチオンするときに起こす一時的な電力サージは、FT232RまたはUSBホスト/ハブコントローラをリセットすることが可能である。図6.3に示すソフトスタート回路例は大体12.5V/msのスルーレートで立ち上がる。このように外部ロジックへの供給電圧は大体400μsでGNDから+5Vに遷移する。

MOSFETの選択として、“ソフトスタート”機能を内部に持つ電力スイッチICが使用可能である。そのようなアプリケーションのための最適な電力スイッチICにはマイクロレル (www.micrel.com) のMIC2025-2BMまたは同等品がある。

電力切替制御設計では、次のことを注意すべきである。

- i) サスペンドモードに移行して、次に電力が再起動するとき、電力が切り替えられる外部ロジックは、自動的にロジックをリセットするためにそれ自身のリセット回路を持つべきである。
- ii) 内蔵FT232R EEPROMのサスペンドオプションのプルダウンをセットする。
- iii) CBUS端子の一つは内蔵FT232R EEPROMでPWREN#として構築され、さらに外部回路への電源を切り替えるために使用されるべきである。これは10KΩ抵抗を通してハイにプルアップすべきである。
- iv) USBハイパワーバス給電式アプリケーション (100mA以上、さらにUSBバスから500mAまでの電流を消費するもの) のために、アプリケーションの消費電力は内蔵FT232R EEPROMの最大電力領域に設定されなければならない。ハイパワーバス給電式アプリケーションはその電力を要求するシステムに知らせるため、内蔵FT232R EEPROMの記述子を使用する。
- v) PWREN#はVCCIOからVCCを得る。3V3ロジックを使用する設計に対し、外部ロジックを使用しているとき、VCCIOがパワーダウンされないことを保証する。この場合+3V3OUTを使用する。

## 6. 4 選択可能な外部ロジック電源を持つUSBバス給電方式

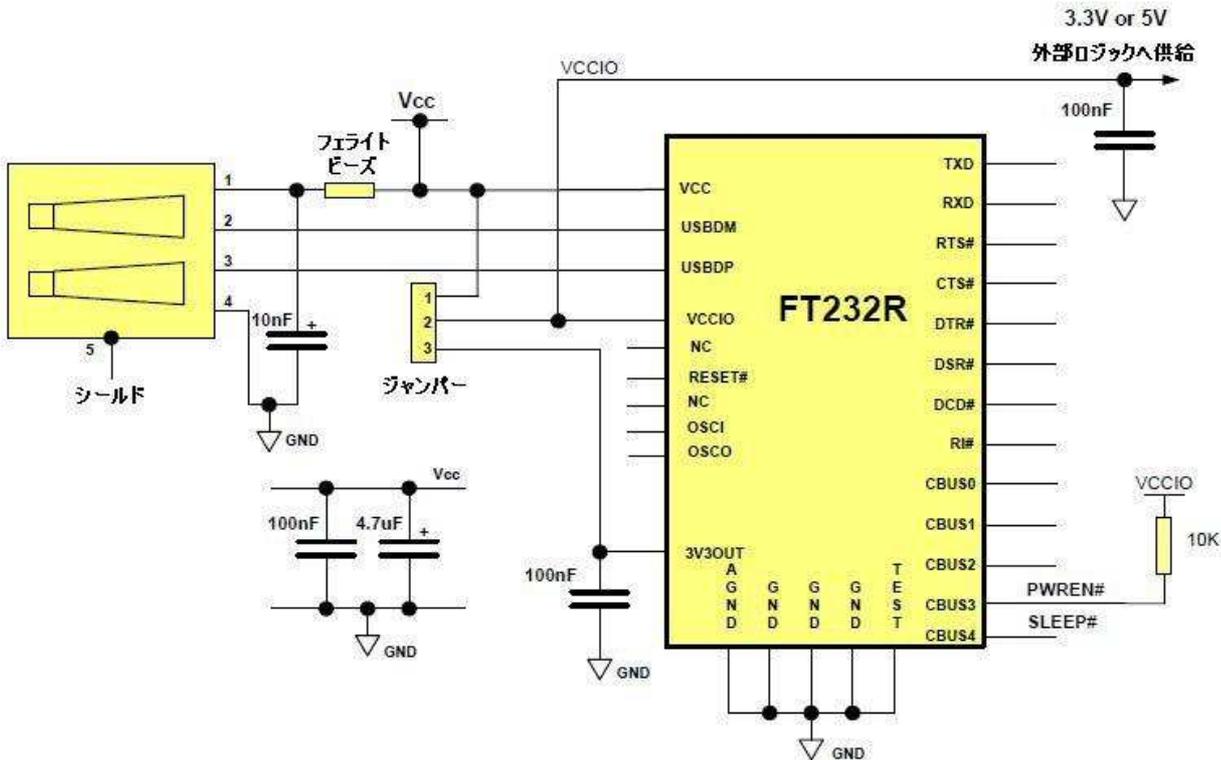


図 6.4 +3.3Vまたは+5V外部ロジック電源を持つUSBバス給電方式

図 6.4 は選択可能な外部ロジック給電を持つUSBバス電源アプリケーションを示す。外部ロジックはジャンパースイッチを使用して+3.3Vと+5Vいずれかを選択可能である。このジャンパーは+3.3Vまたは+5VロジックデバイスとFT232Rをインターフェースするために使用できる。USBバスから+5Vを供給する（ジャンパー端子1と2を接続）ため、またはFT232R 3V3OUT端子から+3.3Vを供給する（ジャンパー端子1と2を接続）ためにVCCIO端子が使われる。VCCIOへの電源は外部ロジックへ供給するためにも使われる。

バス給電アプリケーションでは、次のことに注意すること。

- i) USBサスペンドモードの間、2.5mA電流供給制限に従うため、PWREN#またはSLEEP#信号がこのモードで外部ロジックをパワーダウンするために使用されるべきである。これが不可能なら、セクション6.3に示すコンフィグレーションを用いること。
- ii) 通常動作時にUSBバスから流せる最大電流は100mAを超えるべきではないが、電力スイッチング（セクション6.3）によればバス給電設計が使用可能である。

もうひとつ可能なコンフィグレーションにより、VCCIO端子と外部ロジックへ+1.8Vと+2.8Vの間の電圧を供給するためのUSBバス上の5Vにより供給される個別の低ドロップレギュレータ（LDO）が使用できる。

この場合、VCCはUSBバスから+5Vを供給されるだろう、そしてVCCIOはLDOレギュレータの出力から供給されるだろう。

FT232R I/O端子では、結果として+1.8Vと+2.8Vのロジックレベルの間でドライブ出力することになる。

USBバス給電アプリケーションのためにレギュレータを選択する場合、次のことを考慮することが重要である。

- i) レギュレータは入力電圧+4.35Vで出力電圧を維持できなければならない。低ドロップ出力（LDO）レギュレータが選択されるべきである。
- ii) レギュレータの静止時電流はUSBサスペンドモード時の全電流2.5mA以下にふさわしい十分に低い電流値でなければならない。

これらに要求にふさわしいLDOレギュレータの最適なシリーズは、マイクロチップ/テルコム（www.microchip.com）のデバイスTC55シリーズである。これらのデバイスは250mAまで供給でき、静止時電流は1uA以下である。

## 7. アプリケーション例

次のセクションはFT232Rの可能なアプリケーションを示す。端子はFT232RLとFT232RQパッケージオプションでは異なるので、図では理解を容易にするため端子番号を省略してある。

### 7.1 USB-RS232コンバータ

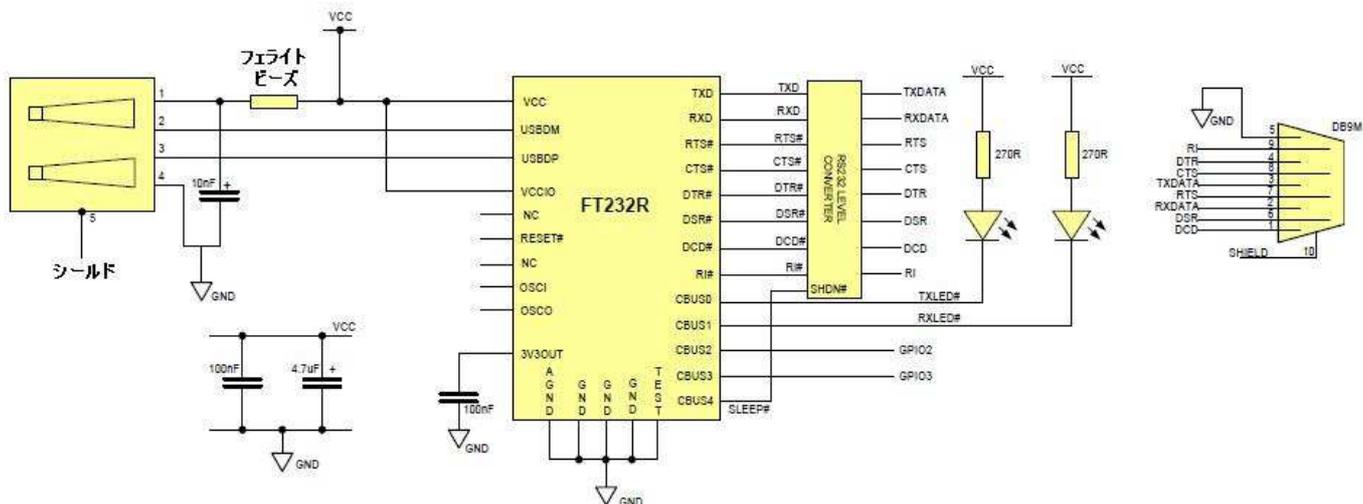


図 7.1 USB-RS232コンバータを示すアプリケーション例

USB-RS232コンバータとしてのFT232Rの使用例を図7.1に示す。このアプリケーションでは、TTL-RS232レベルコンバータICが、FT232RのTTLレベルをRS232レベルへ変換するためにFT232RのシリアルUARTインターフェースに使われる。このレベルシフトは、普及しているTTL-RS232レベルコンバータ“213”シリーズを使うことで実行される。これらの“213”デバイスは標準的に28-LD SSOPパッケージ内に4つの送信器と5つの受信器を持ち、+5V（名目上）VCCをRS232に必要な±9Vに変換するための内蔵電圧コンバータを特徴とする。これらのデバイスの便利な点は、USBサスペンドモード時に静止時低電流とするためのデバイスのパワーダウンに使われるSHDN#端子である。

最適なレベルシフトデバイスは500kボーまでRS232通信が可能であるサイペックス SP213EHCAである。もし低ボーレートでよいならば、115.2kボーまでの通信用に全く最適なサイペックスSP213ECAやマキシム MAX213CAIやアナログデバイス ADM213Eのようなさまざまな端子互換品のいずれかが使用できる。もし高ボーレートが要求されるならば、マキシム MAX3245CAIデバイスが1MボーまでRS232通信速度の能力をもつ。MAX3245は213シリーズデバイスと端子互換ではなく、MAXデバイスのSHDN端子がアクティブHiであり、SLEEP#端子の代わりにPWREN#端子へ接続されねばならないことに注意すること。

提示した例では、CBUS0とCBUS1がTXLED#とRXLED#にコンフィグレートされ、2つのLEDをドライブするために使用されている。

## 7. 2 USB-RS485コンバータ

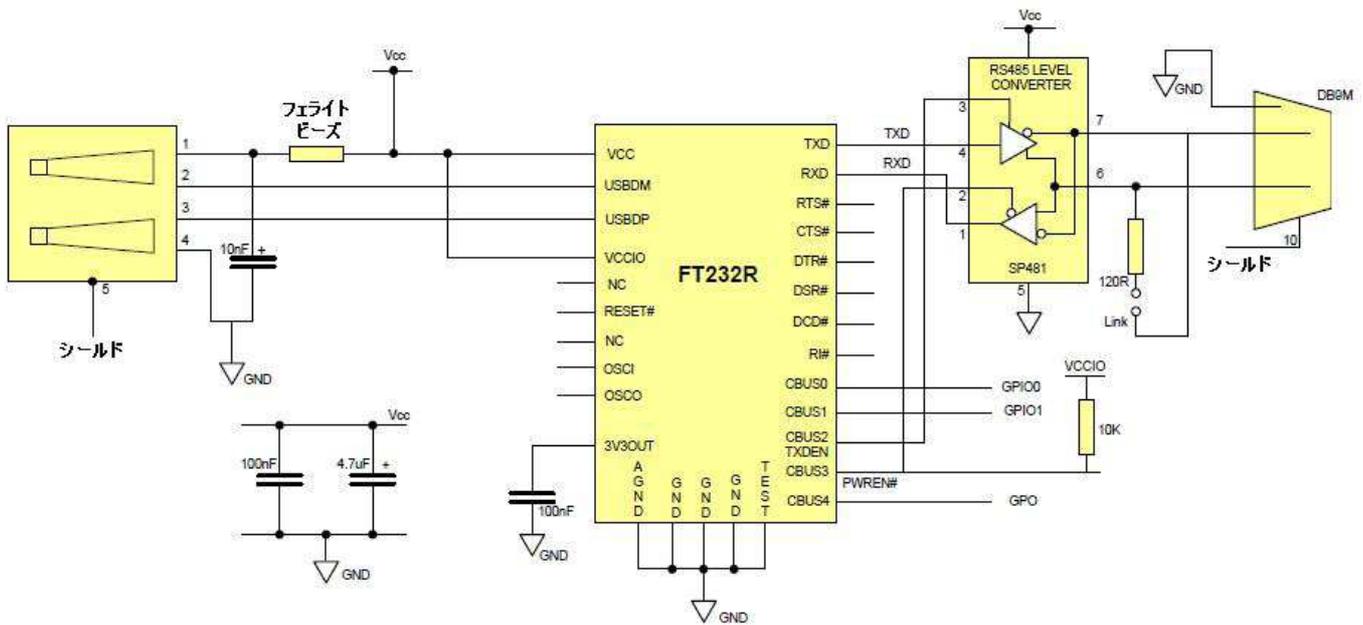


図 7.2 USB-RS485コンバータを示すアプリケーション例

USB-RS485コンバータとしてFT232Rを使用する例が図7.2である。このアプリケーションでは、TTL-RS485レベルコンバータICがFT232RのTTLレベルをRS485レベルへ変換するため、FT232RのシリアルUARTインターフェースに使用されている。

この例はサイベックス SP481デバイスを使用する。同等のデバイスはマキシムとアナログデバイスから入手可能である。SP481はコンパクトな8ピンSOPパッケージのRS485デバイスである。それは送信器と受信器の2つに分けられる。RS485では、1キャラクタがUARTから送信される時、送信器は有効となる。FT232R上のCBUS端子オプション、TXDEN信号がこの目的を正確に規定し、送信器有効信号がTXDENとして構成されたCBUS2に接続される。同様に、CBUS3はPWREN#として構成される。この信号はSP481のレーザ有効を制御するために使われる。レーザ有効はアクティブローなので、USBサスペンドモードのとき、それはレーザを禁止にするためPWREN#端子へ接続される。CBUS2=TXDENとCBUS3=PWREN#はFT232R端子のデフォルト・デバイス・コンフィグレーションである。

RS485はマルチドロップネットワークである。非常に多くのデバイスが2線式ケーブルインターフェース経由で互いに通信できる。RS485ケーブルはケーブルの各終わりで終端を必要とする。もしSP481が物理的にケーブルのどちらかの終わりに配置されているなら、リンク（120Ω終端抵抗を用意）はケーブルを終端して使用できる。

この例では、FT232Rによって送信されたデータはSP481のレーザパス上にも現れる。これはRS485の共通の特徴であり、受信したデータストリームから送信されたデータを取り除くためのアプリケーションソフトウェアを必要とする。FT232Rでは、ロジック的にFT232R TXDENとSP481レーザ出力をオアし、さらに、FT232RのRXDへORゲートの出力を接続することで、図7.2に示す例を変更することにより、ハードウェアで完全にこれを行うことが可能である。

TXDENはスタートビットの前で1ビットの期間アクティブにされることに注意すること。TXDENはストップビットと同じ期間に非アクティブにされる。これはコンフィグレート可能ではない。

### 7. 3 USB-RS422コンバータ

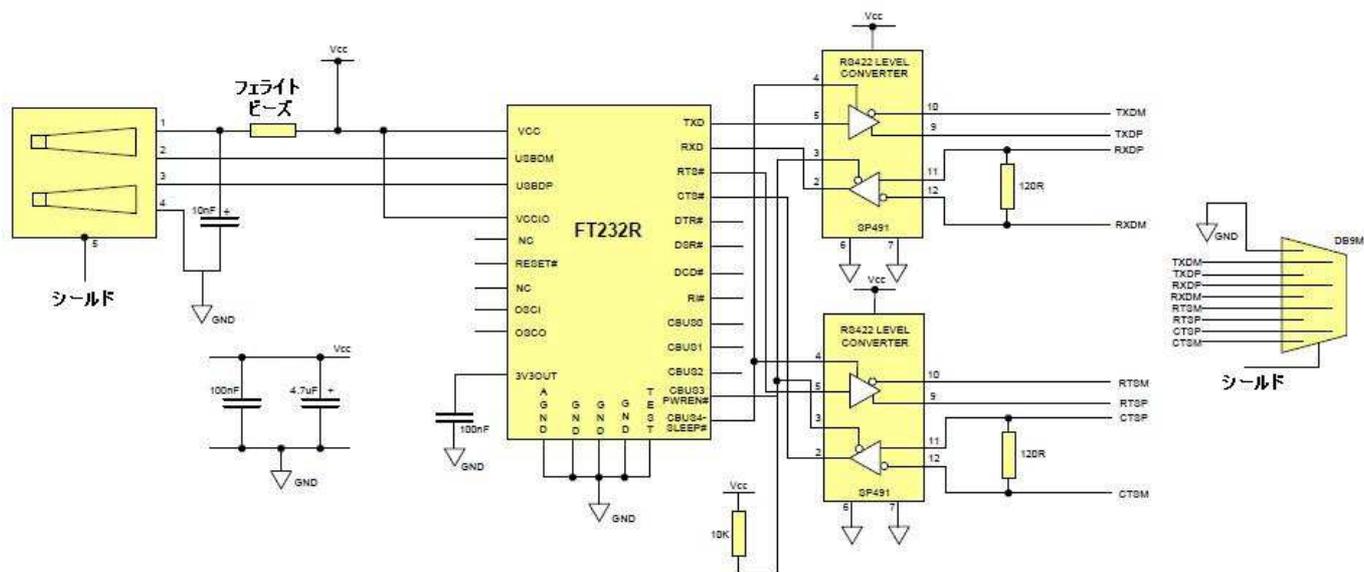


図 7.3 USB-RS422コンバータ コンフィグレーション

USB-RS422コンバータとしてFT232Rを使用する例が図7.3である。このアプリケーションでは、2つのTTL-RS422レベルコンバータICが、FT232RのTTLレベルをRS422レベルへ変換するためのFT232RのシリアルUARTインターフェースに使用されている。多くの最適なレベルコンバータデバイスが入手できる。この例は、送信器と受信器双方に有効端子をもつサイパックス SP491デバイスを使用している。SP491送信器の有効端子はアクティブハイであり、それはSLEEP#コンフィグレーションでCBUS端子に接続される。SP491受信器の有効端子はアクティブローであり、故にPWREN#コンフィグレーションでCBUS端子に接続される。SP491の送信器と受信器が共に有効になるとデバイスがアクティブになり、デバイスがUSBサスペンドモードにあるときは、SP491の送信器と受信器は無効となる、ということが保証される。もし同じアプリケーションが使用されるなら、設計はUSBバス給電方式となり、2.5mAのUSBスタンバイ電流が適合されることを保証するため、SP491デバイスのVCC線でPチャンネルロジックレベルMOSFET (PWREN#により制御される)を使用する必要がある。

SP491は5Mボーまでレートでデータを送受信するのに適している。この例では、最大のデータレートはFT232Rにより3Mボーに限られる。

## 7.4 USB-MCU UARTインターフェース

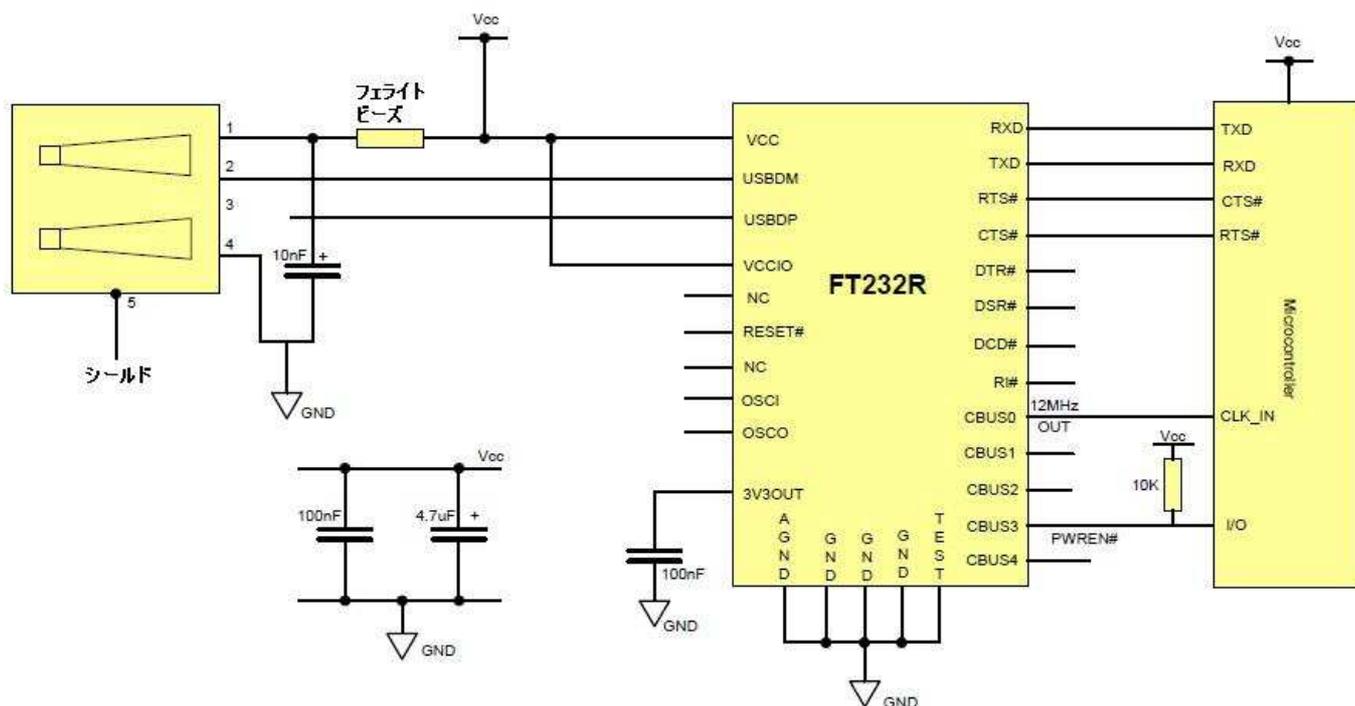


図7.4 USB-MCU UARTインターフェース

USB-マイクロコントローラ (MCU) UARTインターフェースとしてFT232Rを使用する例が図7.4である。このアプリケーションでは、FT232Rはデータの送信と受信にTXDとRXDを、さらに、ハードウェアハンドシェイクのためにRTS#/CTS#信号を使用する。この例でも、CBUS0がMCUへの12MHzクロック出力としてコンフィグレーションされる。

任意に、RI#はMCUの他のI/O端子へ接続可能であり、サスペンドモードからUSBホストコントローラを起動するために使用される。もしMCUが電力管理機能を処理するならば、CBUS端子はPWREN#として構成可能であり、またMCUのI/O端子へ接続可能である。

## 7.5 LEDインターフェース

CBUS I/O端子のどれもがLEDをドライブするために構成可能である。FT232RはCBUSからLEDをドライブするための3つのコンフィグレーションオプションをもつ。それらはTXLED#、RXLED#、TX&RXLED#である。コンフィグレーションオプションはセクション3.5を参照すること。

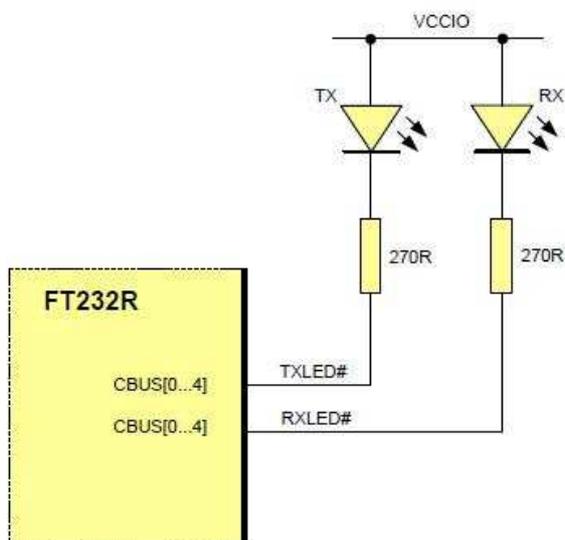


図7.5 2LEDコンフィグレーション

LEDをドライブするためにFT232Rを使用する例は図7.5である。このアプリケーションでは、CBUS端子の一つがデータの送信 (TXLED#) を示すために使われ、もう一つは、データの受信 (RXLED#) を示すために使われる。データが送信されるか、または受信されると、データ送信のLEDへの表示を準備するため、各々の端子はトライステートからローにドライブするだろう。デジタルワンショットが使用されるので、小さな割合のデータ転送でさえもエンドユーザーに見えるだろう。

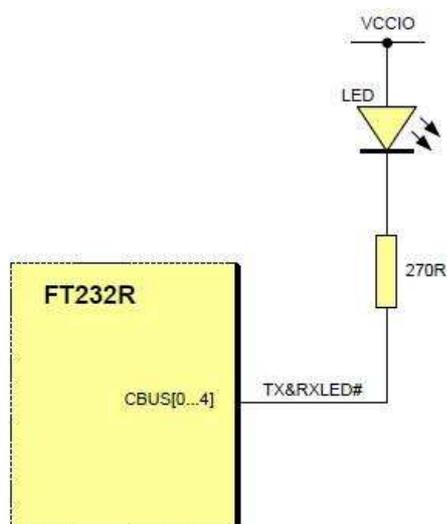


図7.6 1LEDコンフィグレーション

LEDをドライブするためにFT232Rを使用するもう一つの例は図7.6である。このアプリケーションでは、データがデバイス (TX&RXLED) により送信または受信されるとき、CBUS端子の一つがそれを知らせるために使われる。このコンフィグレーションでは、FT232Rは1つのLEDのみドライブするだろう。

## 7. 6 外部オシレータの使用

FT232Rは自身の内蔵発振器を使用して動作するようデフォルト設定されている。これは、デバイスが $VCC(\text{min})=+4.0\text{V}$ で電源供給されることを要求する。この供給電圧はUSB VBUSから取ることができる。 $VCC=+3.3\text{V}$ 、外部発振器を使用することを要求するアプリケーションは次の順序でそのように実行しなければならない。

1. デバイスに最初に電源が入ったとき、それは $VCC > +4.0\text{V}$ でなければならない。この電源はUSB VBUS電源 $=+5.0\text{V}$ から利用できる。
2. EEPROMは外部発振器を有効にするためにプログラムされなければならない。このEEPROMの変更はFTDIプログラミングユーティリティ、MPROGを使って行うことはできない。EEPROMはカスタムアプリケーションから再構成されるだけである。このやり方は次のアプリケーションノートを参照してください。

[http://www.ftdichip.com/Documents/AppNotes/AN\\_100\\_Using\\_The\\_FT232\\_245R\\_With\\_External\\_Osc\(FT\\_000067\).pdf](http://www.ftdichip.com/Documents/AppNotes/AN_100_Using_The_FT232_245R_With_External_Osc(FT_000067).pdf)

3. FT232Rは $VCC=+3.3\text{V}$ や外部発振器から電源を供給可能である。これはVCC電源を切り替えるためリンクを利用して行うことが可能である。

内蔵発振器が動作不可能にされる一方、接続されている外部発振器が無いと、FT232Rは動作を止めるだろう。

## 8. 内蔵EEPROMコンフィグレーション

パワーオンリセットまたはUSBリセットに続いて、FT232Rは内蔵EEPROMをスキャンし、そこに記憶されたUSBコンフィグレーション記述子を読み込むだろう。内蔵EEPROMの工場出荷時にプログラムされたデフォルト値をテーブル8.1に示す。

変数	値	注意
USB Vendor ID (VID)	0403h	FTDI デフォルト VID (hex)
USB Product ID (PID)	6001h	FTDI デフォルト PID (hex)
Serial Number Enabled?	Yes	
Serial Number	注を見よ	独自のシリアル番号が生成され、デバイスの最終テストの間に、EEPROMにプログラムされる。
Pull down I/O Pins in USB Suspend	Disabled	USBサスペンドモード(PWREN#がハイの時)のとき、許可を行うこのオプションはUARTインターフェース線上でデバイスをプルダウンする。
Manufacturer Name	FTDI	(製造社名)
Product Description	FT232R USB UART	(製造品種)
Max Bus Power Current	90mA	(バス最大供給電流)
Power Source	Bus Powered	(電源供給源)
Device Type	FT232R	(デバイスタイプ)
USB Version	0200	USB2.0デバイス記述子をホストへ返す。 注: デバイスはUSB2.0ハイスピードデバイス(480Mb/s)とは逆のUSB 2.0フルスピードデバイス(12Mb/s)である。
Remote Wake Up (リモート起動)	Enabled (許可)	トークインRI#ローが大体20ms内にサスペンド状態からUSBホストコントローラを起動する。
High Current I/Os (I/O 高電流化)	Disabled (禁止)	UARTとCBUS I/O端子にハイドライブレベルを許可する。
Load VCP Driver (VCPドライバをロード)	Enabled (許可)	デバイスのためのVCPドライバインターフェースをデバイスにロードする。
CBUS0	TXLED#	CBUS0のデフォルトコンフィグレーション-送信LEDドライブ
CBUS1	RXLED#	CBUS1のデフォルトコンフィグレーション-受信LEDドライブ
CBUS2	TXDEN	CBUS2のデフォルトコンフィグレーション- RS485のデータ送信許可
CBUS3	PWREN#	CBUS3のデフォルトコンフィグレーション-電源許可。USBイニシエーション後ロー、USB USBサスペンドモードの間ハイ。

変数	値	注 意
CBUS4	SLEEP#	CBUS4のデフォルトコンフィグレーションーUSBサスペンドモードの間ロー
Invert TXD	無効	許可ならば、この端子の信号はTXD#となる。
Invert RXD	無効	許可ならば、この端子の信号はRXD#となる。
Invert RTS#	無効	許可ならば、この端子の信号はRTSとなる。
Invert CTS#	無効	許可ならば、この端子の信号はCTSとなる。
Invert DTR#	無効	許可ならば、この端子の信号はDTRとなる。
Invert DSR#	無効	許可ならば、この端子の信号はDSRとなる。
Invert DCD#	無効	許可ならば、この端子の信号はDCDとなる。
Invert RI#	無効	許可ならば、この端子の信号はRIとなる。

テーブル 8.1 デフォルト内蔵EEPROMコンフィグレーション

FT232Rの内蔵EEPROMは、FTDIユーティリティプログラムMPROGを使用することによりUSB経由でプログラム可能である。MPROGはFTDIウェブサイト上のFTDIユーティリティーズからダウンロード可能である。バージョン2.8aまたは最新版がFT232Rチップのために必要とされる。ユーザーの設計において独自のプロダクトIDを使用したいが、自身のUSBベンダーIDを持っていないユーザーは、独自のPIDのフリーブロックをFTDIに適用可能である。このサービスはFTDIサポートに連絡すること。

## 9. パッケージ緒元

FT232Rは2つの異なるパッケージを利用できる。FT232RLはSSOP-28オプションであり、FT232RQはQFN-32パッケージオプションである。両パッケージのためのハンダリフローの概要はセクション9.5で述べられる。

### 9.1 SSOP-28パッケージ寸法

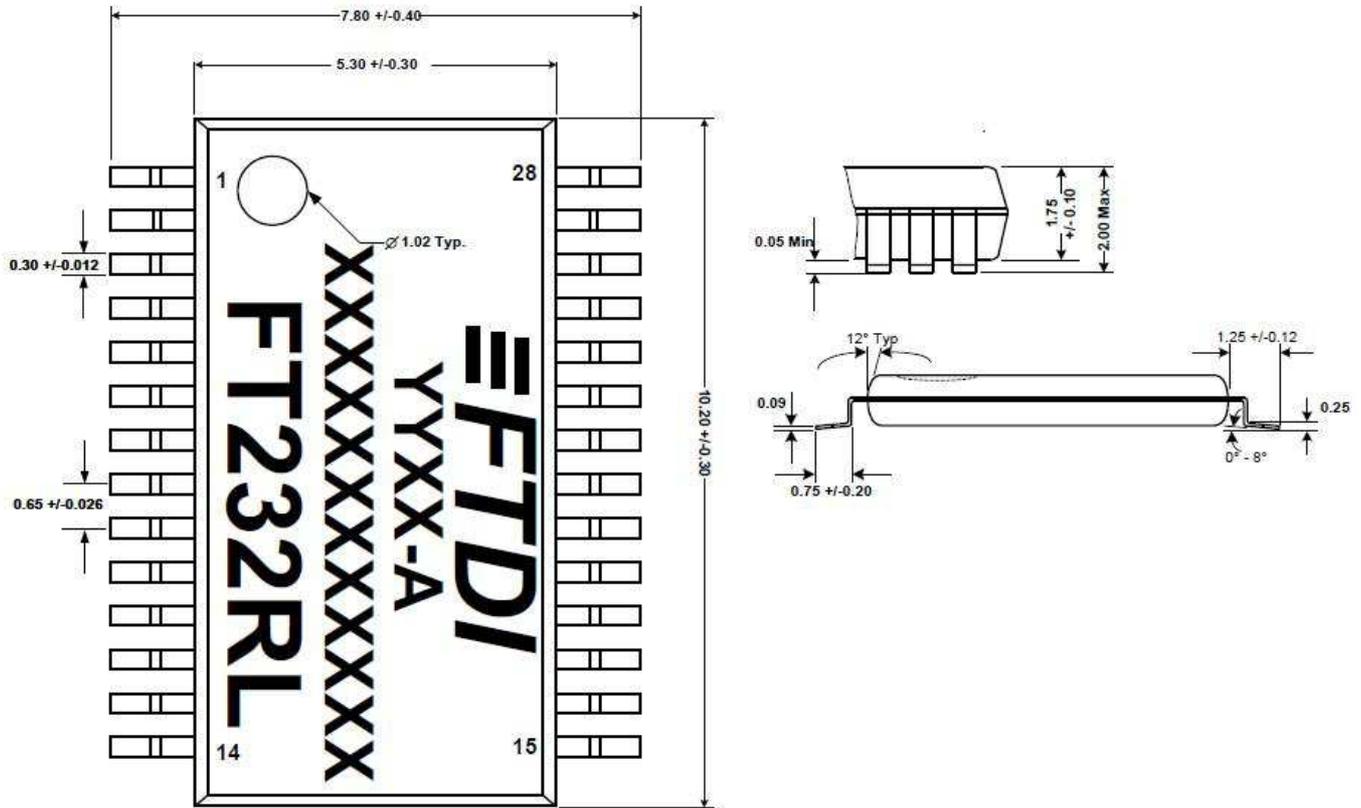


図9.1 SSOP-28 パッケージ寸法

FT232RLはRoHS準拠の28pin SSOPパッケージで供給される。パッケージは鉛フリーであり、‘緑’（環境保護）の化合物を使用している。パッケージはヨーロッパ連合指令2002/95/ECに完全に準拠している。

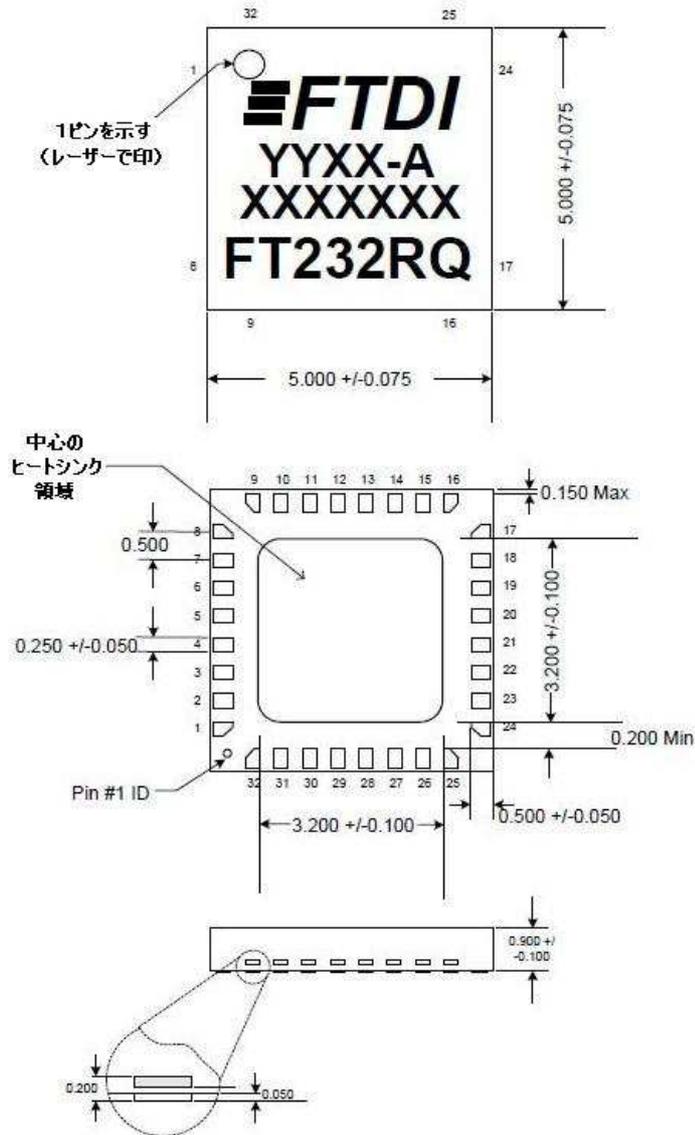
このパッケージは名目上5.30mm×10.20mm（端子を含む寸法は7.80mm×10.20mm）である。これらの端子は0.65mmピッチである。上記の構造図はSSOP-28パッケージである。

全寸法はミリメートルである。

日付コード形式は、XX=2の桁は週の数、YY=2の桁は年の数でYYXXである。これはレビジョン番号に続く。

コードXXXXXXXXXXXXは製造ロットコードである。これは2009年4月後に作られたデバイスに当てはまる。

## 9. 2 QFN-32パッケージ寸法



注: 1ピンIDは内部的にデバイスの中心の放熱領域に接続されている。  
 デバイスの中心の放熱領域をグランドへ接続することを推奨する。  
 寸法はmmである。

図 9.2 QFN-32 パッケージ寸法

FT232RQはRoHS準拠の無端子QFN-32パッケージで供給される。パッケージは鉛フリーであり、'緑' (環境保護) の化合物を使用している。パッケージはヨーロッパ連合指令2002/95/ECに完全に準拠している。

このパッケージは名目上5.00mm×5.00mmである。これらの端子は0.50mmピッチである。上記の構造図はQFN-32パッケージである。全寸法はミリメートルである。

FT232RQのベース上の中心パッドは内部的には接続されていないので、未接続のままグランドに接続すること。(推奨)

日付コード形式は、XX=2の桁は週の数、YY=2の桁は年の数でYYXXである。

コードXXXXXXXXは製造ロットコードである。これは2009年4月後に作られたデバイスに当てはまる。

### 9. 3 QFN-32パッケージ標準パッドレイアウト

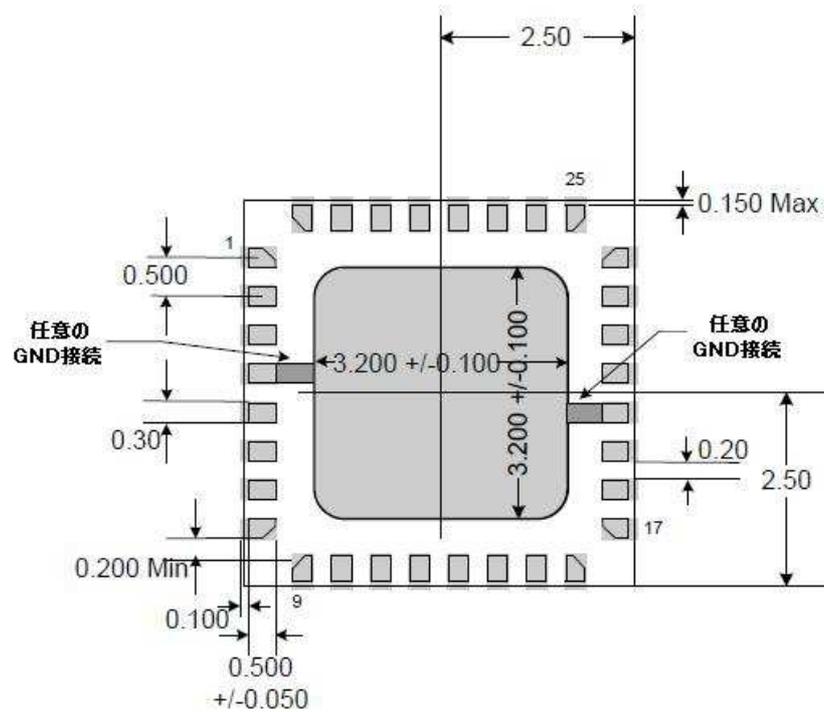


図9.3 QFN-32パッケージの標準的なパッド配置

### 9. 4 QFN-32パッケージ 標準半田ペースト図

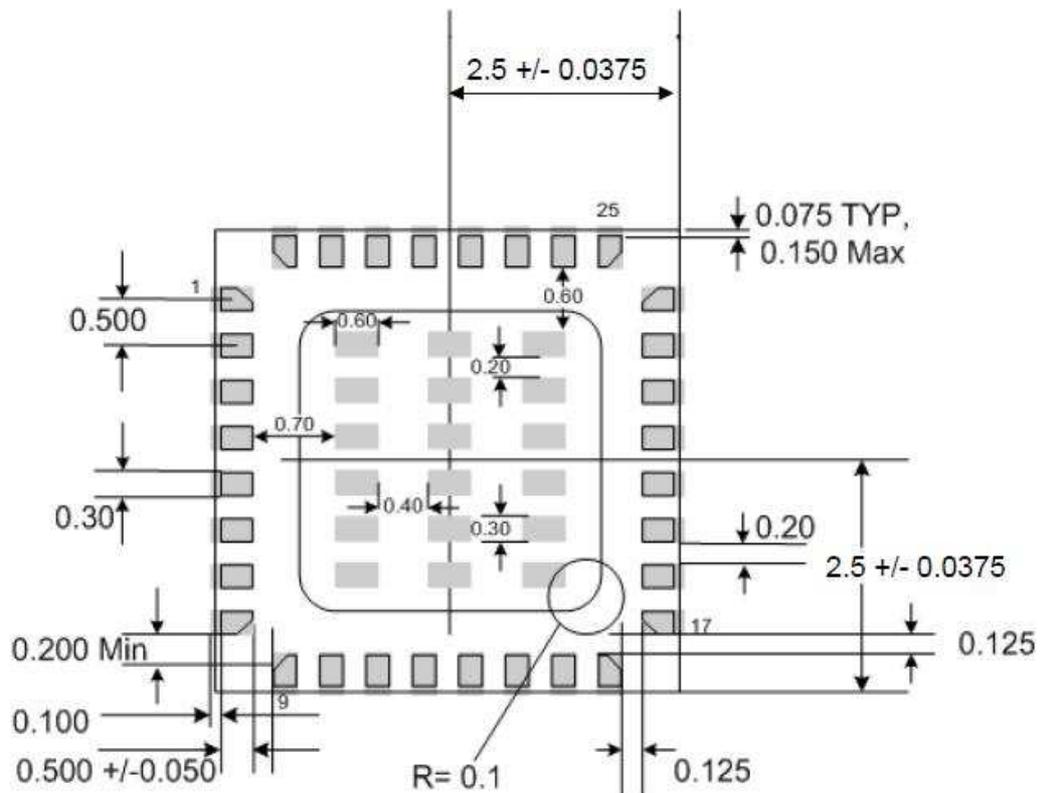


図9.4 QFN-32パッケージの標準的なペースト図

## 9.5 ハンダリフロー図

FT232Rは鉛フリー28ピンSSOPとQFN-32パッケージで供給される。両パッケージオプションのために推奨されるハンダリフロー図を図9.5に示す。

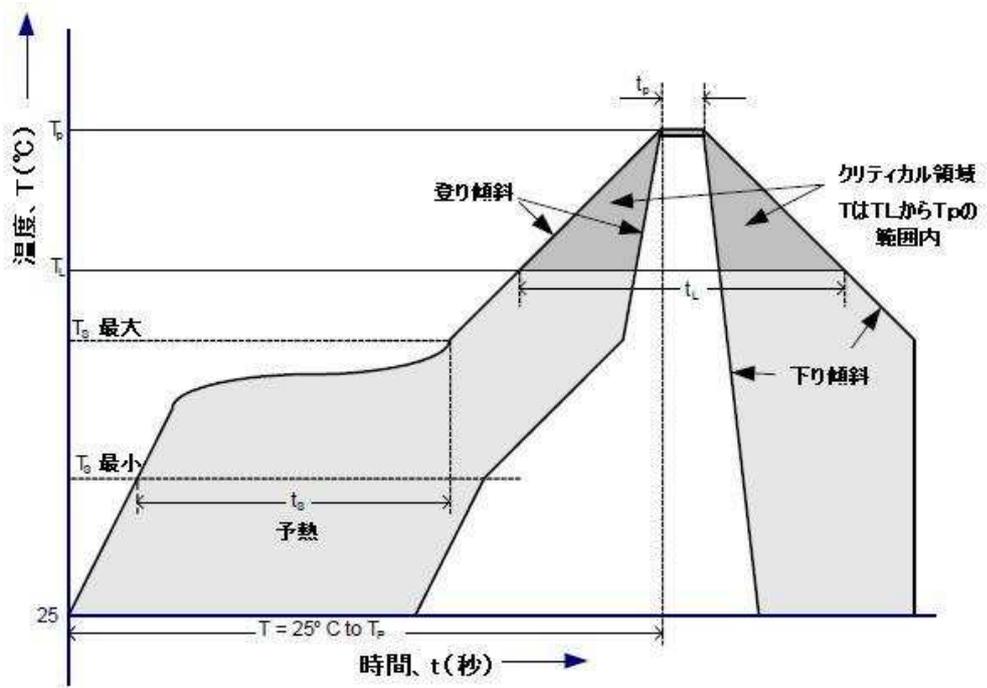


図9.5 ハンダリフロー図

ハンダリフロー図の推奨値はテーブル9.1に詳細を示す。値は完全に鉛フリーハンダ工程（例、FT232Rが鉛フリーで使用される）と非鉛フリーハンダ工程（例、FT232Rが非鉛フリーで使用される）の両方を示す。

図の要点	鉛フリーハンダ工程	非鉛フリーハンダ工程
平均上昇速度 (Ts to Tp)	3°C / 秒 最大	3°C / 秒 最大
予熱 - 温度 最小 (Ts Min.) - 温度 最大 (Ts Max.) - 時間 (ts Min to ts Max)	150°C 200°C 60から120秒	100°C 150°C 60から120秒
臨界温度以上の維持時間 Tl: - 温度 (Tl) - 時間 (tl)	20から40秒 217°C 60から150秒	60から150秒 183°C 60から150秒
ピーク温度 (Tp)	260°C	240°C
実際のピーク温度5°C以内の時間 (tp)	20から40秒	20から40秒
下降速度	6°C / 秒 最大	6°C / 秒 最大
T=25°Cからピーク温度Tpまでの時間	8分 最大	6分 最大

テーブル 9.1 リフロー図 パラメーター値

## 1 0. 連絡先の情報

### Head Office – Glasgow, UK

Future Technology Devices International Limited  
Unit 1, 2 Seaward Place  
Centurion Business Park  
Glasgow, G41 1HH  
United Kingdom  
Tel: +44 (0) 141 429 2777  
Fax: +44 (0) 141 429 2758

E-mail (Sales) [sales1@ftdichip.com](mailto:sales1@ftdichip.com)  
E-mail (Support) [support1@ftdichip.com](mailto:support1@ftdichip.com)  
E-mail (General Enquiries) [admin1@ftdichip.com](mailto:admin1@ftdichip.com)  
Web Site URL <http://www.ftdichip.com>  
Web Shop URL <http://www.ftdichip.com>

### Branch Office – Taipei, Taiwan

Future Technology Devices International Limited (Taiwan)  
2F, No 516, Sec. 1 NeiHu Road  
Taipei 114  
Taiwan, R.O.C.  
Tel: +886 (0) 2 8791 3570  
Fax: +886 (0) 2 8791 3576

E-mail (Sales) [tw.sales1@ftdichip.com](mailto:tw.sales1@ftdichip.com)  
E-mail (Support) [tw.support1@ftdichip.com](mailto:tw.support1@ftdichip.com)  
E-mail (General Enquiries) [tw.admin1@ftdichip.com](mailto:tw.admin1@ftdichip.com)  
Web Site URL <http://www.ftdichip.com>

### Branch Office – Hillsboro, Oregon, USA

Future Technology Devices International Limited (USA)  
7235 NW Evergreen Parkway, Suite 600  
Hillsboro, OR 97123-5803  
USA  
Tel: +1 (503) 547 0988  
Fax: +1 (503) 547 0987

E-Mail (Sales) [us.sales@ftdichip.com](mailto:us.sales@ftdichip.com)  
E-Mail (Support) [us.admin@ftdichip.com](mailto:us.admin@ftdichip.com)  
Web Site URL <http://www.ftdichip.com>

### Branch Office – Shanghai, China

Future Technology Devices International Limited (China)  
Room 408, 317 Xianxia Road,  
ChangNing District,  
ShangHai, China

Tel: +86 (21) 62351596  
Fax: +86(21) 62351595

E-Mail (Sales): [cn.sales@ftdichip.com](mailto:cn.sales@ftdichip.com)  
E-Mail (Support): [cn.support@ftdichip.com](mailto:cn.support@ftdichip.com)  
E-Mail (General Enquiries): [cn.admin1@ftdichip.com](mailto:cn.admin1@ftdichip.com)

Web Site URL: <http://www.ftdichip.com>

われわれの販売業者とあなたの国での販売代理人の詳細については、連絡用のFTDIウェブサイトの販売ネットワークページを訪問してください。

## 付録A－参考

有用なアプリケーションノート

[http://www.ftdichip.com/Documents/AppNotes/AN232R-01\\_FT232RBitBangModes.pdf](http://www.ftdichip.com/Documents/AppNotes/AN232R-01_FT232RBitBangModes.pdf)

[http://www.ftdichip.com/Documents/AppNotes/AN\\_107\\_AdvancedDriverOptions\\_AN\\_000073.pdf](http://www.ftdichip.com/Documents/AppNotes/AN_107_AdvancedDriverOptions_AN_000073.pdf)

[http://www.ftdichip.com/Documents/AppNotes/AN232R-02\\_FT232RChipID.pdf](http://www.ftdichip.com/Documents/AppNotes/AN232R-02_FT232RChipID.pdf)

[http://www.ftdichip.com/Documents/AppNotes/AN\\_121\\_FTDI\\_Device\\_EEPROM\\_User\\_Area\\_Usage.pdf](http://www.ftdichip.com/Documents/AppNotes/AN_121_FTDI_Device_EEPROM_User_Area_Usage.pdf)

[http://www.ftdichip.com/Documents/AppNotes/AN\\_120\\_Aliasing\\_VCP\\_Baud\\_Rates.pdf](http://www.ftdichip.com/Documents/AppNotes/AN_120_Aliasing_VCP_Baud_Rates.pdf)

[http://www.ftdichip.com/Documents/AppNotes/AN\\_100\\_Using\\_The\\_FT232\\_245R\\_With\\_External\\_Osc\(FT\\_000067\).pdf](http://www.ftdichip.com/Documents/AppNotes/AN_100_Using_The_FT232_245R_With_External_Osc(FT_000067).pdf)

[http://www.ftdichip.com/Resources/Utilities/AN\\_126\\_User\\_Guide\\_For\\_FT232\\_Factory%20test%20utility.pdf](http://www.ftdichip.com/Resources/Utilities/AN_126_User_Guide_For_FT232_Factory%20test%20utility.pdf)

[http://www.ftdichip.com/Documents/AppNotes/AN232B-05\\_BaudRates.pdf](http://www.ftdichip.com/Documents/AppNotes/AN232B-05_BaudRates.pdf)

<http://www.ftdichip.com/Documents/InstallGuides.htm>

## 付録B 図とテーブルの一覧表

### 図の一覧表

図 2.1 FT232Rブロック図	4
図 3.1 SSOPパッケージピン引出しと回路記号	7
図 3.2 QFN-32パッケージ端子引出しと回路記号	10
図 6.1 バス給電方式コンフィグレーション	23
図 6.2 自己給電方式コンフィグレーション	24
図 6.3 電力スイッチングコンフィグレーション付きのバス給電方式	25
図 6.4 +3.3Vまたは+5V外部ロジック電源を持つUSBバス給電方式	26
図 7.1 USB-RS232コンバータを示すアプリケーション例	27
図 7.2 USB-RS485コンバータを示すアプリケーション例	28
図 7.3 USB-RS422コンバータ コンフィグレーション	29
図 7.4 USB-MCU UARTインターフェース	30
図 7.5 2LED コンフィグレーション	31
図 7.6 1LED コンフィグレーション	31
図 9.1 SSOP-28パッケージ寸法	35
図 9.2 QFN-32パッケージ寸法	36
図 9.3 QFN-32パッケージのための標準的なパッドレイアウト	37
図 9.4 QFN-32パッケージのための標準的なハンダペースト図	37
図 9.5 FT232R ハンダリフロー図	38

### テーブルの一覧表

テーブル 3.1 USBインターフェースグループ	7
テーブル 3.2 電源とグラウンドグループ	8
テーブル 3.3 さまざまな信号グループ	8
テーブル 3.4 UARTインターフェースとCBUSグループ(注3を見よ)	9
テーブル 3.5 USBインターフェースグループ	10
テーブル 3.6 電源とグラウンドグループ	11
テーブル 3.7 雑多な信号グループ	11
テーブル 3.8 UARTインターフェースとCBUSグループ(注3を見よ)	12
テーブル 3.9 CBUSコンフィグレーション制御	13
テーブル 5.1 絶対最大規格	17
テーブル 5.2 動作電圧と電流	18
テーブル 5.3 UARTとCBUS I/O端子特性 (VCCIO = +5.0V, 標準ドライブレベル)	18
テーブル 5.4 UARTとCBUS I/O端子特性 (VCCIO = +3.3V, 標準ドライブレベル)	18
テーブル 5.5 UARTとCBUS I/O端子特性 (VCCIO = +2.8V, 標準ドライブレベル)	19
テーブル 5.6 UARTとCBUS I/O端子特性 (VCCIO = +1.8V, 標準ドライブレベル)	19
テーブル 5.7 UARTとCBUS I/O端子特性 (VCCIO = +5.0V, 高ドライブレベル)	19
テーブル 5.8 UARTとCBUS I/O端子特性 (VCCIO = +3.3V, 高ドライブレベル)	19
テーブル 5.9 UARTとCBUS I/O端子特性 (VCCIO = +2.8V, 高ドライブレベル)	20

テーブル 5.10	UARTとCBUS I/O端子特性 (VCCIO = +1.8V, 高ドライブレベル)	20
テーブル 5.11	RESET#とTEST端子特性	20
テーブル 5.12	USB I/O(USBDM、USBDP)特性	21
テーブル 5.13	EEPROM特性	21
テーブル 5.14	内部クロック特性	21
テーブル 5.15	OSCI, OSCO 端子特性 - 注1を見よ	22
テーブル 8.1	デフォルト内蔵EEPROMコンフィグレーション	34
テーブル 9.1	リフロー図 変数値	38

付録 C—改定履歴

<b>Version 0.90</b>	Initial Datasheet Created	August 2005
<b>Version 0.96</b>	Revised Pre-release datasheet	October 2005
<b>Version 1.00</b>	Full datasheet released	December 2005
<b>Version 1.02</b>	Minor revisions to datasheet	December 2005
<b>Version 1.03</b>	Manufacturer ID added to default EEPROM configuration; Buffer sizes added	January 2006
<b>Version 1.04</b>	QFN-32 Pad layout and solder paste diagrams added	January 2006
<b>Version 2.00</b>	Reformatted, updated package info, added notes for 3.3V operation; Part numbers, TID; added UART and CBUS characteristics for +1.8V; Corrected RESET#; Added MTTF data; Corrected the input switching threshold and input hysteresis values for VCCIO=5V	June 2008
<b>Version 2.01</b>	Corrected pin-out number in table3.2 for GND pin18. Improved graphics on some Figures. Add packing details. Changed USB suspend current spec from 500uA to 2.5mA Corrected Figure 9.2 QFN dimensions.	August 2008
<b>Version 2.02</b>	Corrected Tape and Reel quantities. Added comment "PWREN# should be used with a 10kΩ resistor pull up". Replaced TXDEN# with TXDEN since it is active high in various places. Added lot number to the device markings. Added 3V3 regulator output tolerance. Clarified VCC operation and added section headed "Using an external Oscillator" Updated company contact information.	April 2009
<b>Version 2.03</b>	Corrected the RX/TX buffer definitions to be relative to the USB interface	June 2009
<b>Version 2.04</b>	Additional dimensions added to QFN solder profile	June 2009
<b>Version 2.05</b>	Modified package dimensions to 5.0 x 5.0 +/-0.075mm, and Solder paste diagram to 2.50 x 2.50 +/-0.0375mm Added Windows 7 32, 64 bit driver support Added FT_PROG utility references Added Appendix A-references Figure 2.1 updated  Updated USB-IF TID for Rev B	December 2009